JUMP-1 共用バッファ仕様書 (ver. 1.1)

JUMP-1 設計グループ

Revision History

1.0	'95 10/05	H. Nakashima	第一次仕様作成
1.1	'95 10/11	H. Nakashima	WE, port の endian 変更

1　概要

本仕様書は，JUMP-1のクラスタに使用される3機能混在チップであるBus/Buffer Chipについて，その主要な構成要素であるバッファ・メモリとその周辺回路の仕様を定めたものである。

バッファ・メモリは，図1に示すように，32 W × 64 bitの二つの2ポートRAMであるBUFXとBUFY，及び4 W × 64 bitのレジスタ・アレイであるBUFZを中心に構成されている。またチップ外部とのインタフェースとして，二つの64 bit双方向データBUSA (5 V)とBUSB(3.3 V)がある。

バッファ・メモリは，クラスタ・メモリ・コントローラ・チップ(MMC)と，2次キャッシュ用バッファ・チップ(CCB)によって，以下のように共用される。

- MMC
  * BUFX ... CBUSから受信したパケットのデータ部分を保持するバッファ(IB[7:0][3:0][63:0])
  * BUFY ... CBUSへ送信するパケットのデータ部分を保持するバッファ(OB[7:0][3:0][63:0])
  * BUFZ ... DSPによる主記憶アクセスのデータを保持するバッファ(DDR[3:0][63:0])
- CCB
  * BUFX ... CBUSへ送信するパケットのデータ部分を保持するバッファ(SNDBUF[7:0][3:0][63:0])
  * BUFY ... CBUSから受信したパケットのデータ部分を保持するバッファ(RCVBUF[7:0][3:0][63:0])
  * BUFZ ... CPUによる書込データを一時保存するバッファ(SDTRK[3:0][63:0])

またBUSA/BUSBと，その出力用レジスタについては，バス・チップ(BC)でも使用し，各チップでの用途は以下のようになる。

- MMC
  * BUSA ... CBUSのデータ部(DATA[63:0])
  * BUSB ... 主記憶(SDRAM)のデータ(DDATA[63:0])
- CCB
  * BUSA ... VBUSのデータ部(VDATA[63:0])
  * BUSB ... CBUSのデータ部(CDATA[63:0])
- BC
  * BUSA ... BUSA[63:32]はポート4 ∼ 5に関するCBUSのデータ部(DATA[4:5][15:0])。BUSA[31:0]は使用しない。
  * BUSB ... ポート0 ∼ 3に関するCBUSのデータ部(DATA[0:3][15:0])

また，周辺回路も含めた各チップの使用状況を，図2 ∼ 4に示す。

2　コンポーネント

データパスを構成するコンポーネントは，以下のものである。

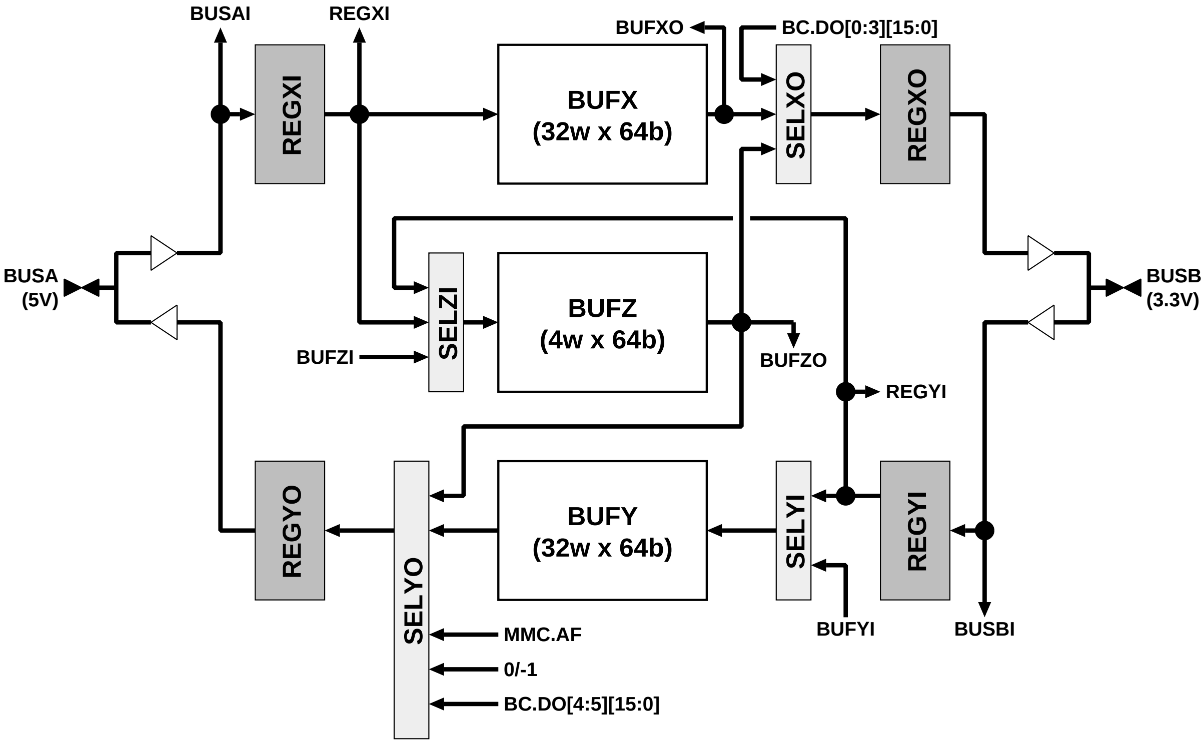

図 1: 共用バッファの構成

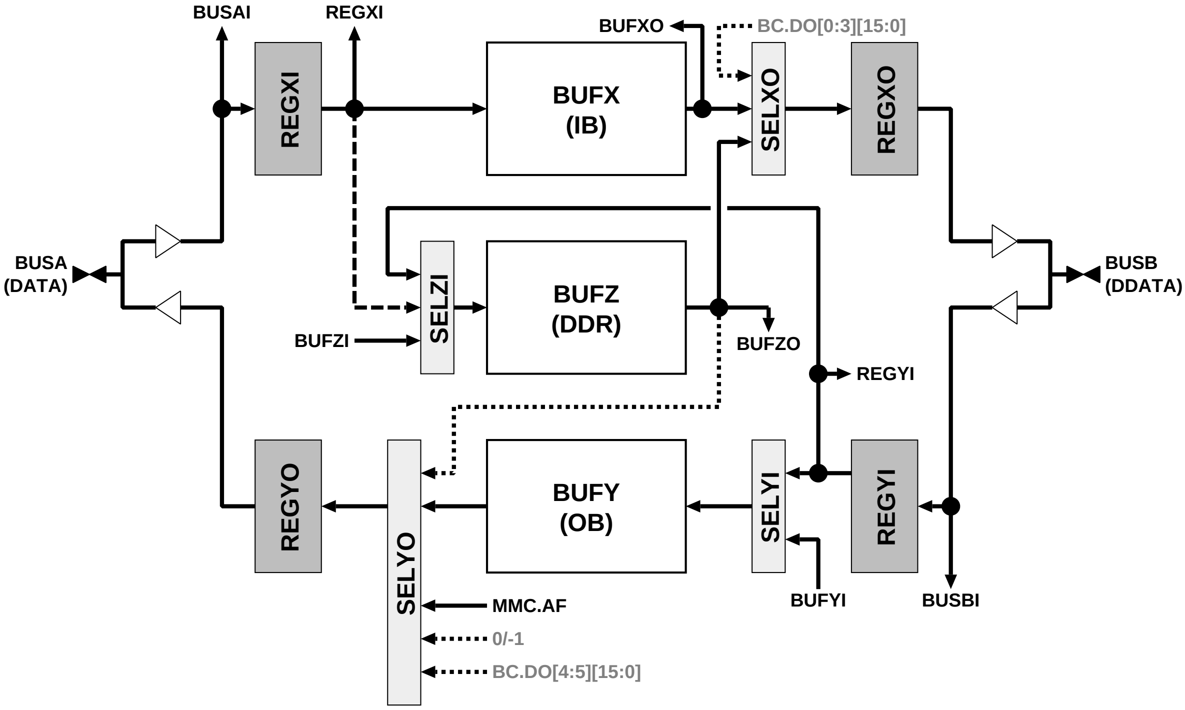

図 2: MMC での使用状況

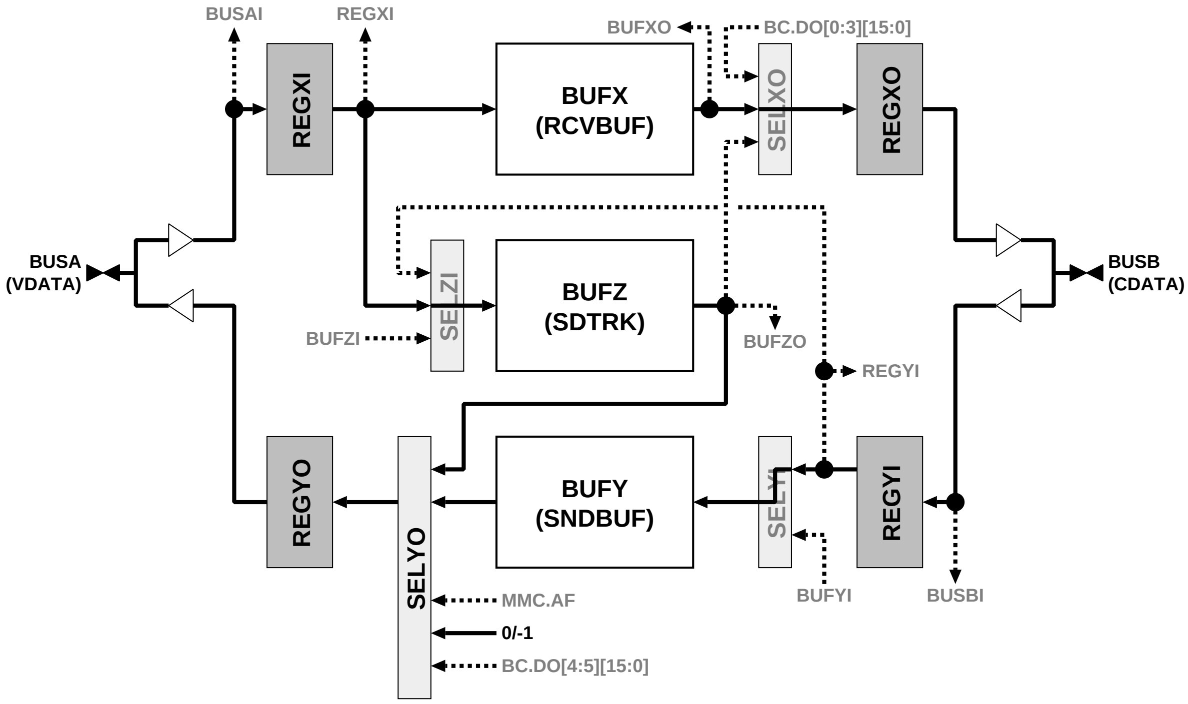

図 3: CCB での使用状況

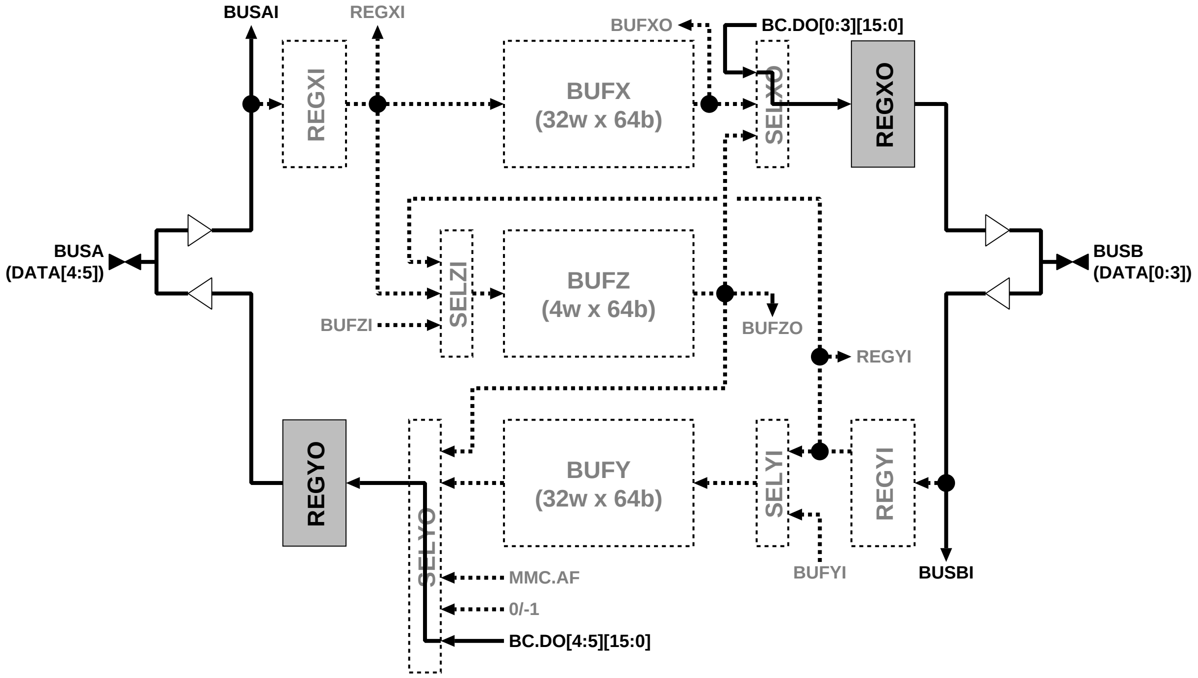

図 4: BC での使用状況

2.1 BUFX とその周辺

- `BUFX`[7:0][3:0][63:0]
  32 W × 64 bit, 1-read/1-write の 2 ポート RAM。8 bit 単位の書込制御可能。8 block × 4 DW × 64 bit の構成で使用される。

  各チップでの使用状況は以下の通り。

  - * MMC ... CBUS から受信した最大 8 パケットのデータ部分を保持するバッファ(`IB`)。
    - * `IB`[3:0] ... 応答受信用
    - * `IB`[7:4] ... 要求受信用
  - * CCB .... CBUS へ送信する最大 8 パケットのデータ部分を保持するバッファ(`SNDBUF`)。
  - * BC ...... 使用しない。

- `REGXI`[63:0]
  `BUSA` から入力した 64 ビットのデータを常に受けとるレジスタ。出力は `BUFX` にそのまま接続される。BC では使用しない。

- `REGXO`[63:0]
  `BUSA` へ出力する 64 ビットのデータを，セレクタ `SELXO` から常に受けとるレジスタ。

- `SELXO`[63:0]
  `REGXO` へ入力される 64 ビットのデータを，`BUFX`, `BUFZ`, `BC.DO`[0:3][15:0] の 3 つから選択する。

  各チップでの使用状況は以下の通り。

  - * MMC ... `BUFX` (`IB`) と `BUFZ` (`DDR`) を選択
  - * CCB .... 常に `BUFX` (`SNDBUF`) を出力
  - * BC ...... 常に `BC.DO`[0:3][15:0] を出力

2.2 BUFY とその周辺

- `BUFY`[7:0][3:0][63:0]
  32 W × 64 bit, 1-read/1-write の 2 ポート RAM。32 bit 単位の書込制御可能。8 block × 4 DW × 64 bit の構成で使用される。

  各チップでの使用状況は以下の通り。

  - * MMC ... CBUS へ送信する最大 6 パケットのデータ部分を保持するバッファ(`OB`)。
    - * `OB`[3:0] ... 主記憶読出による応答用
    - * `OB`[4] ..... DSP からの応答送信用
    - * `OB`[5] ..... DSP からの要求送信用
    - * `OB`[7:6] ... 使用しない
  - * CCB .... CBUS から受信した最大 8 パケットのデータ部分を保持するバッファ(`RCVBUF`)。
  - * BC ...... 使用しない。

- `REGYI`[63:0]
  `BUSB` から入力した 64 ビットのデータを常に受けとるレジスタ。出力は `SELYI` を経由して `BUFX` に接続される。BC では使用しない。

- `REGYO`[63:0]
  `BUSB` へ出力する 64 ビットのデータを，セレクタ `SELYO` から常に受けとるレジスタ。

- SELYI[63:0]
  BUFY の書込データを，REGYI と BUFYI の 2 つから選択する。各チップでの使用状況は以下の通り。
  * MMC ... REGYI（主記憶の読出値）と BUFYI（DSP による送信パケット）を選択。
  * CCB .... 常に REGYI（CBUS の受信データ）を出力。
  * BC ...... 使用しない。
- SELYO[63:0]
  REGYO へ入力される 64 ビットのデータを，BUFY, BUFZ, MMC.AF, 定数 $0/-1$, BC.DO[1:0][15:0] の 5 つから選択する。

  各チップでの使用状況は以下の通り。
  * MMC ... BUFY (OB) と MMC.AF（アドレス・フリット）を選択。
  * CCB .... BUFY (RCVBUF), BUFZ (SDTRK), 定数 $0/-1$ を選択。
  * BC ...... 常に BC.DO[5:4][15:0] を REGYO[63:32] に出力。REGYO[31:0] へのパスは使用しない。

2.3 BUFZ とその周辺

- BUFZ[3:0][63:0]
  4 W × 64 bit のレジスタ・アレイ。8 bit 単位の書込制御可能。

  各チップでの使用状況は以下の通り。
  * MMC ... DSP による主記憶アクセスのデータを保持するバッファ(DDR)。
  * CCB .... CPU による書込データを一時保存するバッファ(SDTRK)。
  * BC ...... 使用しない。
- SELZI[63:0]
  BUFZ の書込データを，REGXI, REGYI, BUFZI の 3 つから選択する。各チップでの使用状況は以下の通り。
  * MMC ... REGYI（主記憶の読出値）と BUFZI（DSP からの書込データ）を選択。
  * CCB .... 常に REGXI（CPU の書込データ）を選択。
  * BC ...... 使用しない。

3 インタフェース信号

共用バッファのインタフェース信号を以下に示す。なお信号は全て正論理である。また BUFX, BUFY, BUFZ の書込イネーブル信号は，共用バッファ回路の内部でクロック・ゲーティングして生成するので，インタフェースの書込イネーブルは通常の論理信号でなければならない。

3.1 BUSA とその周辺

信号名	本数	方向	説明
BUSA[63:0]	64	I/O	5V系の双方向データ。 * MMC ... CBUSのデータ部(DATA[63:0]) * CCB .... VBUSのデータ部(VDATA[63:0]) * BC ...... BUSA[63:32]はポート4～5に関するCBUSのデータ部(DATA[4:5][15:0])。BUSA[31:0]は使用しない。
BUSAI[63:0]	64	O	BUSAの入力データ。 * MMC ... CBUSのアドレス・フリットを別途受けとるために使用する（かもしれない）。 * CCB .... 使用しない。 * BC ...... BUSA[63:32]をポート4～5の入力としてスイッチ回路に入力。BUSA[31:0]は使用しない。
MMC.BUSA.OE	1	I	MMCによるBUSA (DATA)の出力イネーブル
CCB.BUSA.OE	1	I	CCBによるBUSA (VDATA)の出力イネーブル
BC.BUSA.OE[0:1]	2	I	BCによるBUSA (DATA[4:5])の出力イネーブル

3.2 BUSBとその周辺

信号名	本数	方向	説明
BUSB[63:0]	64	I/O	3.3V系の双方向データ。 * MMC ... 主記憶(SDRAM)のデータ(DDATA[63:0]) * CCB .... CBUSのデータ部(CDATA[63:0]) * BC ...... ポート0～3に関するCBUSのデータ部(DATA[0:3][15:0])。
BUSBI[63:0]	64	O	BUSBの入力データ。 * MMC ... 主記憶のデータを別途受けとるために使用する（かもしれない）。 * CCB .... 使用しない。 * BC ...... ポート0～3の入力としてスイッチ回路に入力。
MMC.BUSB.OE	1	I	MMCによるBUSB (DDATA)の出力イネーブル
CCB.BUSB.OE	1	I	CCBによるBUSB (CDATA)の出力イネーブル
BC.BUSB.OE[0:3]	4	I	BCによるBUSB (DATA[0:3])の出力イネーブル

3.3 BUFXとその周辺

信号名	本数	方向	説明
REGXI[63:0]	64	O	REGXI の出力値。MMC では，CBUS のアドレス・フリットとして使用する（かもしれない）。CCB, BC では使用しない。
BUFXO[63:0]	64	O	BUFX の読出データ。MMC では，DSP が CBUS のパケットを受けとるために使用する。CCB, BC では使用しない。
MMC.BUFX.RA[4:0]	5	I	MMC による BUFX (IB) の読出アドレス。
MMC.BUFX.WA[4:0]	5	I	MMC による BUFX (IB) の書込アドレス。
MMC.BUFX.WE[0:1]	2	I	MMC による BUFX (IB) の書込イネーブル（32 bit 単位）。WE[0] は BUFX.DI[63:32] に，WE[1] は BUFX.DI[31:0] に，それぞれ対応する。
MMC.SELXO.S	1	I	MMC による SELXO の選択信号。 * 0 .... BUFX (IB) を選択 * 1 .... BUFZ (DDR) を選択
CCB.BUFX.RA[4:0]	5	I	CCB による BUFX (SNDBUF) の読出アドレス。
CCB.BUFX.WA[4:0]	5	I	CCB による BUFX (SNDBUF) の書込アドレス。
CCB.BUFX.WE[0:7]	8	I	CCB による BUFX (SNDBUF) の書込イネーブル（8 bit 単位）。WE[0] は BUFX.DI[63:56] に，WE[7] は BUFX.DI[7:0] に，それぞれ対応する。
BC.DO[0:3][15:0]	64	I	BC が CBUS のポート 0 ～ 3 に出力するデータ。BC.DO[0][15:0] は 64 ビット・データの [63:48] に，BC.DO[3][15:0] は [15:0] に，それぞれ対応する。

3.4 BUFY とその周辺

信号名	本数	方向	説明
REGYI[63:0]	64	O	REGYI の出力値。MMC では，ECC 検査 / 修正に使用する（かもしれない）。CCB, BC では使用しない。
BUFYI[63:0]	64	O	BUFY の書込データの一つ。MMC では，DSP が CBUS へ送信するパケットを生成するために使用する。CCB, BC では使用しない。
MMC.SELYI.S	1	I	MMC による SELYI の選択信号。 * 0 .... REGYI（主記憶の読出値）を選択 * 1 .... BUFYI（DSP が生成するパケット）を選択
MMC.BUFY.RA[4:0]	5	I	MMC による BUFY (OB) の読出アドレス。
MMC.BUFY.WA[4:0]	5	I	MMC による BUFY (OB) の書込アドレス。
MMC.BUFY.WE[0:1]	2	I	MMC による BUFY (OB) の書込イネーブル（32 bit 単位）。WE[0] は BUFY.DI[63:32] に，WE[1] は BUFY.DI[31:0] に，それぞれ対応する。
MMC.AF[63:0]	64	I	MMC が CBUS に送信するパケットのアドレス・フリット。

信号名	本数	方向	説明
MMC.SELYO.S	1	I	MMC による SELYO の選択信号。 * 0 .... BUFY (OB) を選択 * 1 .... MMC.AF を選択
CCB.BUFY.RA[4:0]	5	I	CCB による BUFY (RCVBUF) の読出アドレス。
CCB.BUFY.WA[4:0]	5	I	CCB による BUFY (RCVBUF) の書込アドレス。
CCB.BUFY.WE	1	I	CCB による BUFY (RCVBUF) の書込イネーブル。
CCB.SELYO.S	1	I	CCB による SELYO の選択信号。 * 00 ... BUFY (RCVBUF) を選択。 * 01 ... BUFZ (SDTRK) を選択。 * 10 ... 定数 0 を選択 * 11 ... 定数−1 を選択
BC.DO[4:5][15:0]	32	I	BC が CBUS のポート 4 ∼ 5 に出力するデータ。BC.DO[4][15:0] は 64 ビット・データの [63:48] に，BC.DO[5][15:0] は [47:32] に，それぞれ対応する。

3.5 BUFZ とその周辺

信号名	本数	方向	説明
BUFZI[63:0]	64	O	BUFZ の書込データの一つ。MMC では，DSP が主記憶へ書込むデータを DDR に格納するために使用する。CCB, BC では使用しない。
BUFZO[63:0]	64	O	BUFZ の読出データ。MMC では，DSP が主記憶の読出データを受けとるために使用する。 CCB, BC では使用しない。
MMC.SELZI.S	1	I	MMC による SELZI の選択信号。 * 0 .... REGYI（主記憶の読出値）を選択 * 1 .... BUFZI（DSP の主記憶書込値）を選択
MMC.BUFZ.RA[1:0]	2	I	MMC による BUFZ (DDR) の読出アドレス。
MMC.BUFZ.WA[1:0]	2	I	MMC による BUFZ (DDR) の書込アドレス。
MMC.BUFZ.WE[0:1]	2	I	MMC による BUFZ (DDR) の書込イネーブル（32 bit 単位）。WE[0] は BUFZ.DI[63:32] に，WE[1] は BUFZ.DI[31:0] に，それぞれ対応する。
CCB.BUFZ.RA[1:0]	2	I	CCB による BUFZ (SDTRK) の読出アドレス。
CCB.BUFZ.WA[1:0]	2	I	CCB による BUFZ (SDTRK) の書込アドレス。
CCB.BUFZ.WE[0:7]	8	I	CCB による BUFZ (SDTRK) の書込イネーブル（8 bit 単位）。WE[0] は BUFZ.DI[63:56] に，WE[7] は BUFZ.DI[7:0] に，それぞれ対応する。

3.6 その他

信号名	本数	方向	説明
FS[1:0]	3	I	チップの機能選択。 * 00 . . . BC(for [15:0]) * 01 . . . BC(for [63:48], [47:32], [31:16]) * 10 . . . CCB * 11 . . . MMC
CLK	1	I	クロック。REGX0 と REGY0 に供給する。これら以外のコンポーネントには，FS が CCB または MMC である時にのみ動作するクロック CLK.BUF を生成して供給し，チップが BC として動作する時の信号変化を最小化する。また，MMC, CCB, BC の共用バッファを除く部分には，それぞれ個別のクロックを供給し，選択された機能のみが動作するようにする。即ち； * CLK.BUF . . . FS = CCB/MMC * CLK.BC . . . . . FS = BC * CLK.CCB . . . FS = CCB * CLK.MMC . . . FS = MMC を，共用バッファ回路の内部で生成する。
CLK.MMC	1	O	MMC 固有の回路のクロック。
CLK.CCB	1	O	CCB 固有の回路のクロック。
CLK.BC	1	O	BC 固有の回路のクロック。

4 回路構成

4.1 機能選択とクロック

機能選択信号 FS とクロック CLK から，図 5に示す回路を用いて，以下の真理値表にしたがって，共用バッファ内部で用いる機能選択信号 FSA[1:0] と，各部のクロック CLK.BUF, CLK.BC, CLK.CCB, CLK.MMC を生成する。

FS[1:0]	FSA[1:0]	CLK.BC	CLK.CCB	CLK.MMC	CLK.BUF	note
00	00	CLK	1	1	1	BC
01	00	CLK	1	1	1	BC
10	10	1	CLK	1	CLK	CCB
11	11	1	1	CLK	CLK	MMC

なお，FSA[1] = 0 であれば BC であること，FSA[0] = 1 であれば MMC であることに注意。

4.2 BUSA

BUSA の出力イネーブルは，図 6に示すように，以下の真理値表にしたがって生成する。

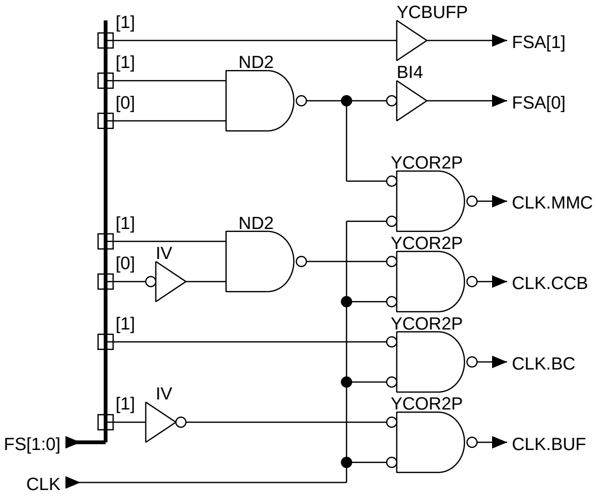

図 5: 機能選択とクロック

FSA[1:0]	[63:48]	[47:32]	[31:0]	note
00	BC.BUSA.OE[0]	BC.BUSA.OE[1]	0	BC
01	—	—	—	(never occur)
10	CCB.BUSA.OE	CCB.BUSA.OE	CCB.BUSA.OE	CCB
11	MMC.BUSA.OE	MMC.BUSA.OE	MMC.BUSA.OE	MMC

BUSA[31:0] は FSA = BC の場合には，イネーブルにならないことに注意。また BUSA は長期間 floating 状態になることがあるので pull up する。

4.3 BUSB

BUSB の出力イネーブルは，図 7に示すように，以下の真理値表にしたがって生成する。

FSA[1:0]	[63:48]	[47:32]	[31:16]	[15:0]	note
00	BC.BUSB.OE[0]	BC.BUSB.OE[1]	BC.BUSB.OE[2]	BC.BUSB.OE[3]	BC
01	—	—	—	—	(never occur)
10	CCB.BUSB.OE	CCB.BUSB.OE	CCB.BUSB.OE	CCB.BUSB.OE	CCB
11	MMC.BUSB.OE	MMC.BUSB.OE	MMC.BUSB.OE	MMC.BUSB.OE	MMC

BUSB は長期間 floating 状態になることがあるので pull up する。

4.4 BUFX とその周辺

BUFX は 8 個の 2 ポート RAM AI5008 を用いて構成し，図 8に示すように，アドレスと書込イネーブルについては，FSA[1] (MMC $\Rightarrow$ 1) によって MMC のものと CCB のものとを選択する。なお，RAM に与えるアドレスが，MMC/CCB が出力するものを反転したものであることと，書込イネーブルとデータのビットとの関係が以下のようになっていることに注意。

	[63:56]	[55:48]	[47:40]	[39:32]	[31:24]	[23:16]	[15:8]	[7:0]
CCB.BUFX.WE	[0]	[1]	[2]	[3]	[4]	[5]	[6]	[7]
MMC.BUFX.WE	[0]				[1]			

SELX0 の選択信号は，下表にしたがって生成する。

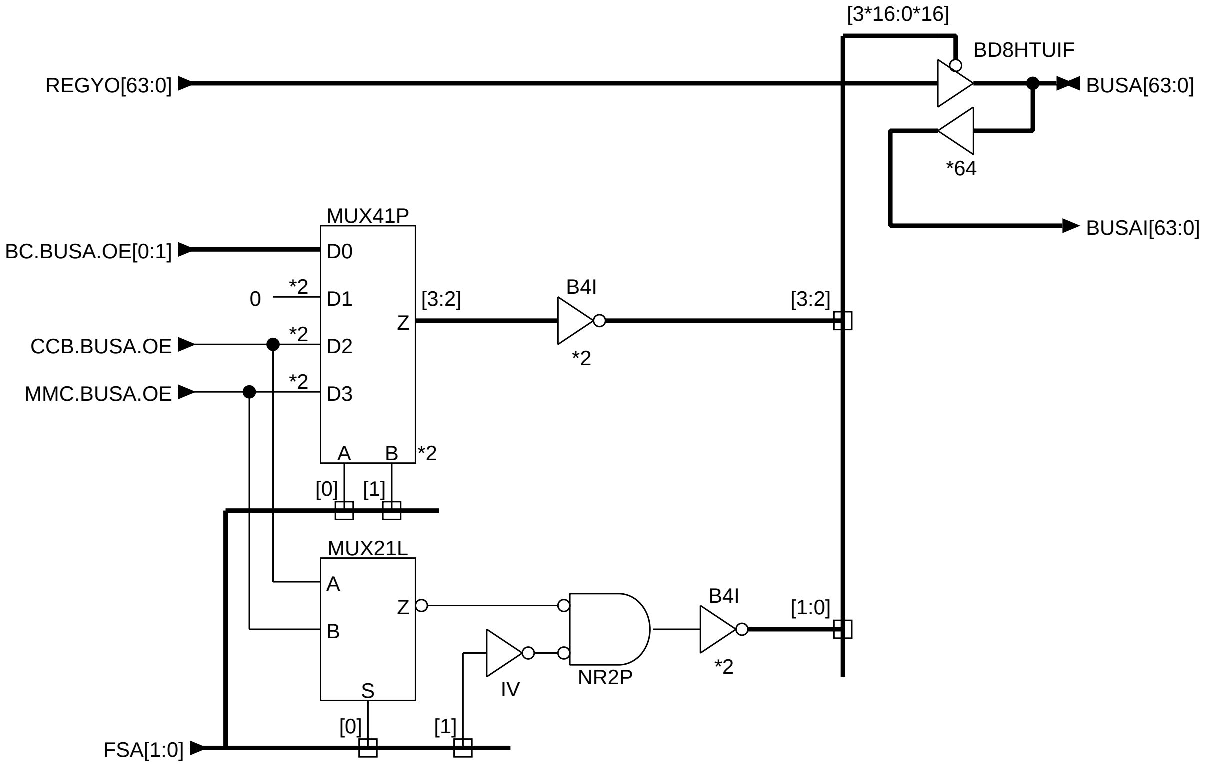

図 6: BUSA

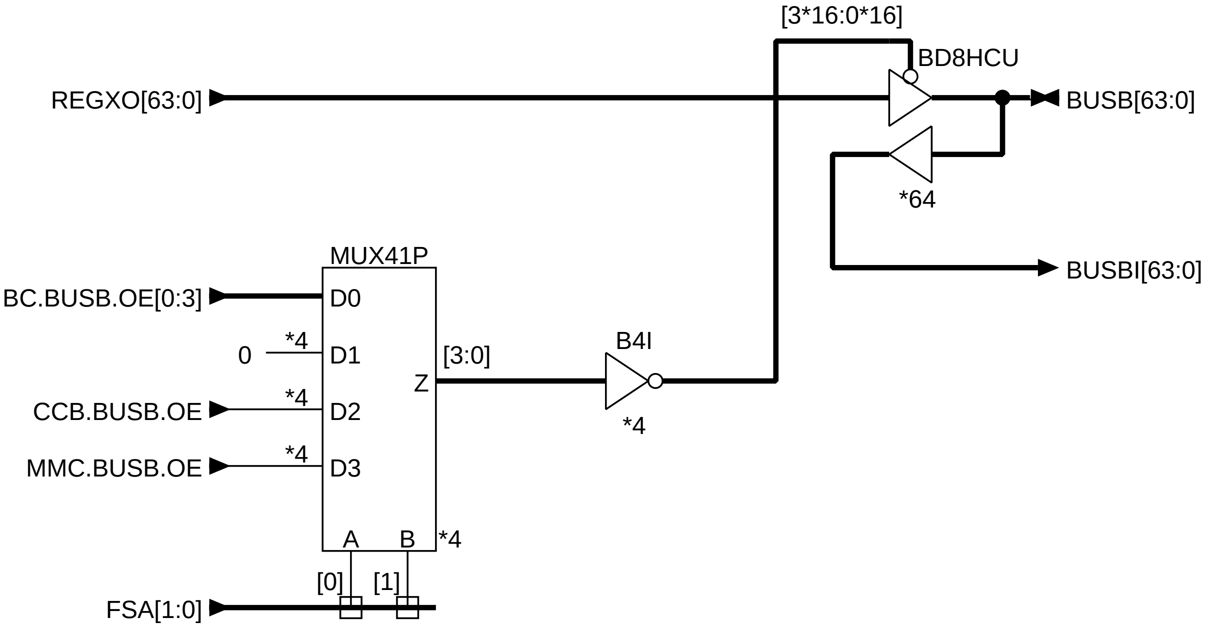

図 7: BUSB

FSA[1:0]	MMC.SELXO.S	B/A	note
00	x	00	D0 (BC.DO[0:3][15:0] by BC)
01	x	–	(never occur)
10	x	01	D1 (BUFXO by CCB)
11	0	01	D1 (BUFXO by MMC)
11	1	11	D3 (BUFZO by MMC)

したがって $A = \mathtt{FSA}[1]$, $B = \mathtt{FSA}[0] \cdot \mathtt{MMC.SELXO.S}$ となる。また BC.DO[0:3] と他のデータ入力とのビット対応関係は，以下のようになっていることに注意。

BC.DO	[0][15:0]	[1][15:0]	[2][15:0]	[3][15:0]
others	[63:48]	[47:32]	[31:16]	[15:0]

4.5 BUFY とその周辺

BUFY は 8 個の 2 ポート RAM AI5008 を用いて構成し，図 9に示すように，アドレスと書込イネーブルについては，FSA[1] (MMC ⇒ 1) によって MMC のものと CCB のものとを選択する。なお，RAM に与えるアドレスが，MMC/CCB が出力するものを反転したものであることと，書込イネーブルとデータのビットとの関係が以下のようになっていることに注意。

[63:32]	[31:0]
CCB.BUFY.WE	
MMC.BUFY.WE[0]	MMC.BUFY.WE[1]

SELYI の選択信号は，下表にしたがって生成する。

FSA[0]	MMC.SELYI.S	S	note
0	x	0	A (REGYI by CCB)
1	0	0	A (REGYI by MMC)
1	1	1	B (BUFYI by MMC)

したがって $S = \mathtt{FSA}[0] \cdot \mathtt{MMC.SELYI.S}$ となる。

SELYO は 4-to-1 selector と 2-to-1 selector を組み合わせて構成する。4-to-1 selector の選択信号は，下表にしたがって生成する。

FSA[0]	CCB.SELYO.S[1:0]	MMC.SELYO.S	B/A	note
0	00	x	00	D0 (BUFYO by CCB)
0	01	x	01	D2 (BUFZO by CCB)
0	1x	x	11	D3 (CCB.SELYO.S[0] by CCB)
1	xx	0	00	D0 (BUFYO by MMC)
1	xx	1	10	D2 (MMC.AF by MMC)

したがって $B = \overline{\mathtt{FSA}[0]} \cdot \mathtt{CCB.SELYO.S}[1] + \mathtt{FSA}[0] \cdot \mathtt{MMC.SELYO.S}$, $A = \overline{\mathtt{FSA}[0]} \cdot (\mathtt{CCB.SELYO.S}[1:0] \neq 00)$ となる。

BC では REGYO[31:0] を使用しないので，4-to-1 selector の出力がそのまま REGYO の入力となる。また REGYO[63:32] については，FS[1] によって 4-to-1 selector の出力と BC.DO[4:5][3:0] を選択する。また BC.DO[4:5] と他のデータ入力とのビット対応関係は，以下のようになっていることに注意。

BC.DO	[4][15:0]	[5][15:0]
others	[63:48]	[47:32]

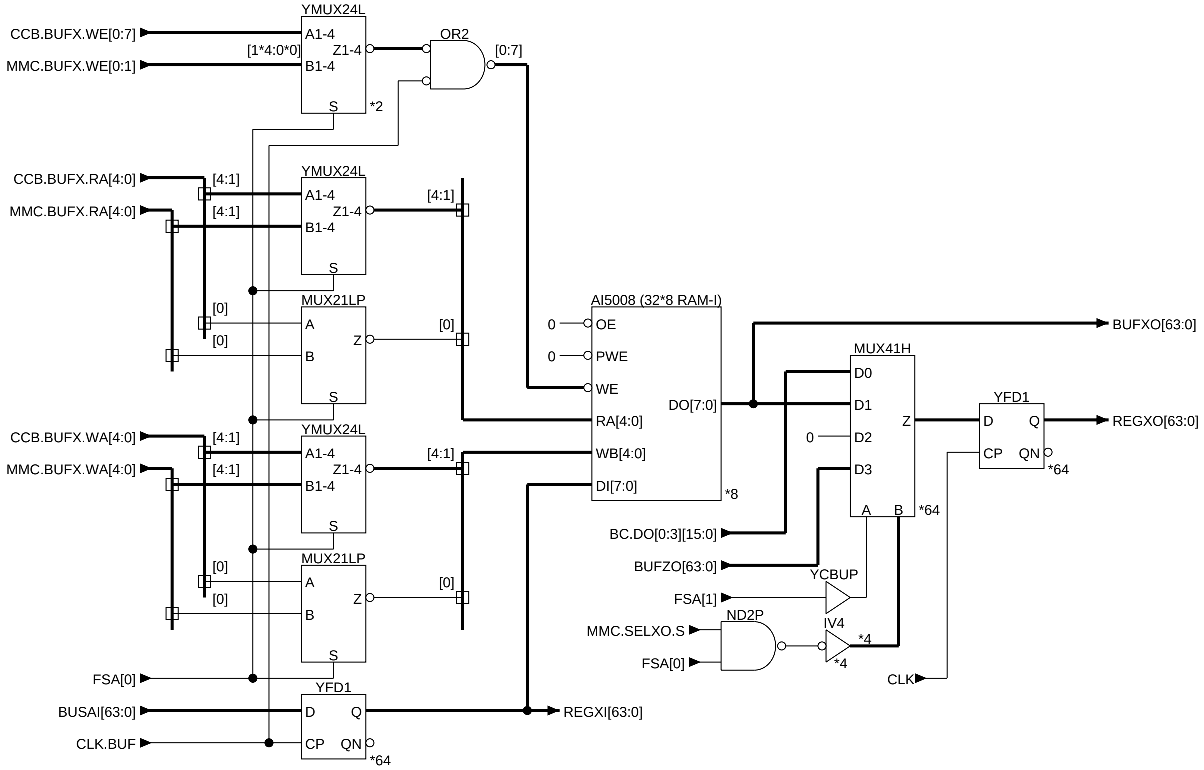

図 8: BUFX とその周辺

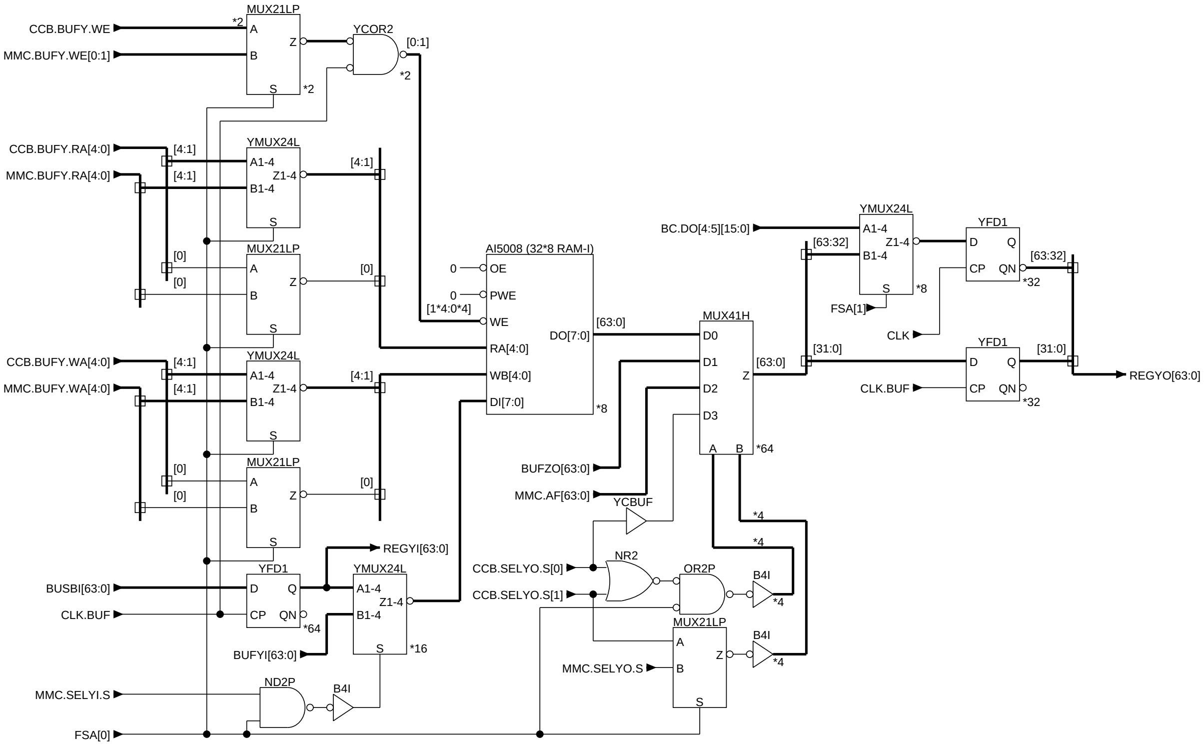

図 9: BUFY とその周辺

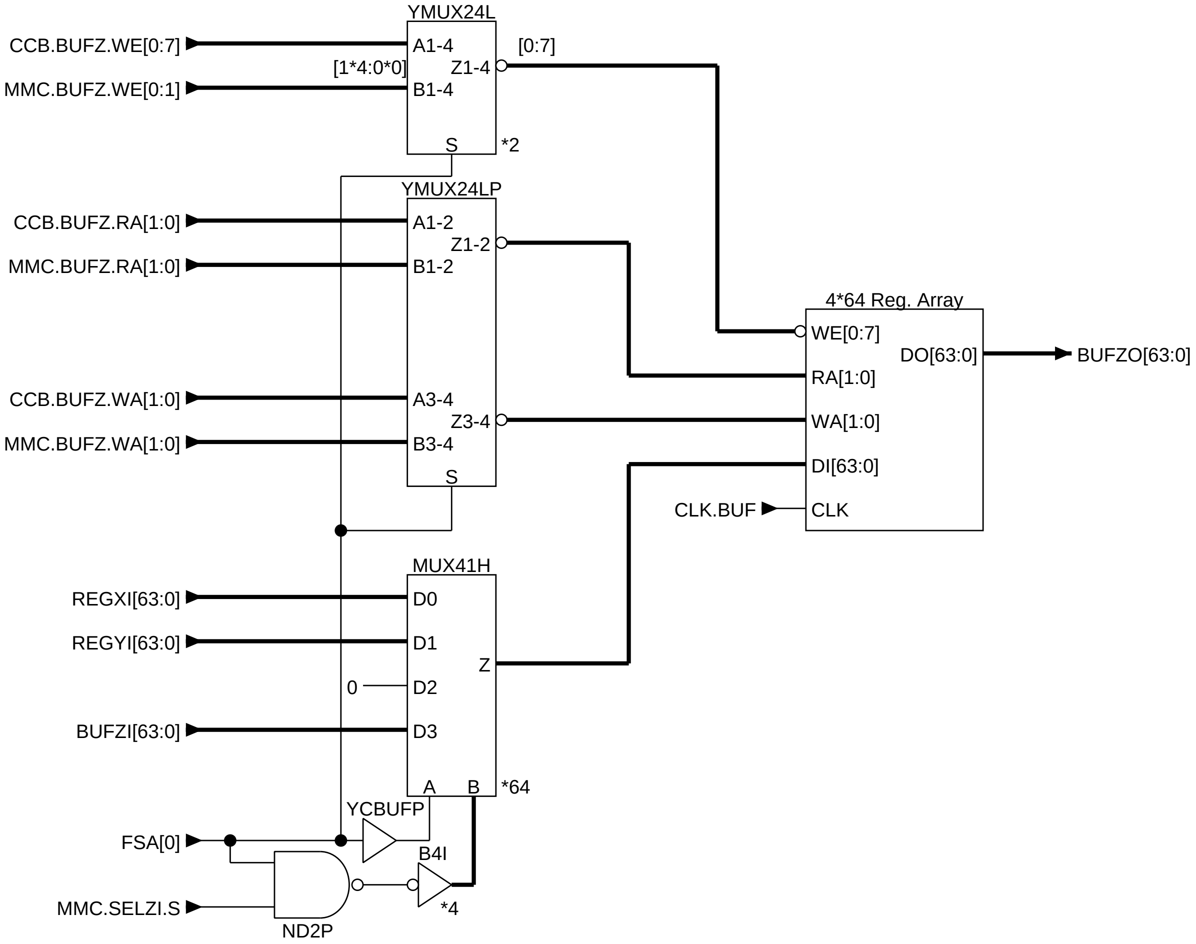

図 10: `BUFZ` とその周辺

4.6 BUFZ とその周辺

`BUFZ` は 4 W × 64 bit のレジスタ・アレイを用いて構成し，図 10に示すように，アドレスと書込イネーブルについては，`FSA`[1] (MMC ⇒ 1) によって MMC のものと CCB のものとを選択する。なお，レジスタ・アレイに与えるアドレスが，MMC/CCB が出力するものを反転したものであることと，書込イネーブルとデータのビットとの関係が以下のようになっていることに注意。

	[63:56]	[55:48]	[47:40]	[39:32]	[31:24]	[23:16]	[15:8]	[7:0]
`CCB.BUFZ.WE`	[0]	[1]	[2]	[3]	[4]	[5]	[6]	[7]
`MMC.BUFZ.WE`	[0]				[1]			
`BUFZ.WE`	[0]	[1]	[2]	[3]	[4]	[5]	[6]	[7]

`SELZI` の選択信号は，下表にしたがって生成する。

`FSA`[0]	`MMC.SELZI.S`	B/A	note
0	x	00	D0 (`REGXI` by CCB)
1	0	01	D2 (`REGYI` by MMC)
1	1	11	D3 (`BUFZI` by MMC)

したがって $A = \texttt{FSA}[0]$, $B = \texttt{FSA}[0] \cdot \texttt{MMC.SELZI.S}$ となる。