960MB/s の DVI-D 入出力リンクと DDR-SDRAM を 2 系統もつ FPGA 搭載 PCI カード – 並列可視化処理への応用 –

森眞一郎[†], 小田島大介[‡], 生雲公啓[† ☆], 五島正裕[†], 中島康彦[†], 富田眞治[†]
†: 京都大学, ‡:東京エレクトロンデバイス (株)

並列処理のための通信リンクへ応用可能な Dual Link の DVI-D 入出力インタフェースと DDR-SDRAM を 2 系統搭載し, 高いメモリバンド幅を要求する並列画像処理向けに開発した FPGA 搭載 PCI カードを紹介する. その具体的な応用として, 並列ボリュームレンダリング向けの専用アクセラレータの実装を紹介する. ボリュームレンダリング処理では、メモリに対して高いランダムアクセス性能を要求する。そこで、FPGA 内に分散配置されたブロックメモリを用いた分散型プリフェッチバッファを構成し、2 系統の高速 DDR-SDRAM からのプリフェッチデータを分散して格納することで、必要とされるランダムメモリアクセス性能を達成する。

1. はじめに

近年の計算機性能の急速な向上に伴い, 大規模かつ高精度な数値シミュレーションへの期待が高まっている. 中でも実時間の数値シュミレーションの可視化技術は, 大規模な 3 次元データを必要とする医療などの分野において, 高度な技術が要求されている分野である. これまでも, PC クラスタ等の並列計算機環境を利用した, シュミレーションとその実時間可視化のためのシステムが開発されてきたが, 次世代のシミュレーション技術として, 従来の実験の代替手段となりうる 「仮想実験型/仮想体験型のシミュレーション環境」の構築が望まれている. ここでは, オペレータによるシミュレーション対象へのインタラクティブな操作に対応して実時間でシミュレーションを行うとともに, 即刻その結果を可視化などの手段により提示することが求められている.

我々は , 実時間インタラクティブシミュレーション環境の実現にむけて, 個人あるいは小規模な組織単位で占有利用可能な PC クラスタを用いて, インタラクティブな数値シミュレーション及びその可視化を実時間処理する環境について研究を行っている .

本稿では, このような並列可視化専用ハードウェアのプロトタイプ実験用に開発した 高速入出力リンクと大容量高速メモリを備えた FPGA 搭載 PCI カードを紹介した後, 並列可視化処理への応用について述べる.

2. 開発した FPGA 搭載 PCI カードの概要

本 PCI カードは, 東京エレクトロンデバイス (株) との共同企画で開発を行なったもので[☆☆], 高速大容量の DDR-SDRAM を 2 系統搭載し、高いメモリバンド幅を要求する並列画像処理向けの FPGA 搭載 PCI カードである. 我々は, この PCI カードを可視化のための専用アクセラレータのプロトタイプと位置づけており VisA Pro カードと読んでいる.

☆ 現在 , (株) オムロン
☆☆ 汎用評価ボード (TD-BD-PCI2DVI) として同社より販売している.

Fig. 1 胸部 MRI データのボリュームレンダリング (データ提供 : (株)KGT)

2.1 高速大容量メモリ

DDR-SDRAM SODIMM を 2 枚搭載し、別系統クロックにて最大 DDR333MHz(PC2700 規格) にて独立に動作可能である. 各メモリスロットには, ノート PC 用に市販されているメモリ容量 512MB までの DDR SO-DIMM モジュールを搭載可能である. 従って, 128bit 幅の 1GB メモリ, あるいは, 64bit 幅の 512MB メモリ 2 チャンネル等のメモリ構成が実現可能である. 最大メモリバンド幅は 2ch 合計で 5.2GB/s に達する.

2.2 DVI-D デュアルリンクの入出力チャネル

高解像度液晶ディスプレイに対応した DVI-D デュアルリンクの入出力チャネルをもつ. これにより, 本カードで生成した画像データを直接ディスプレイに出力することや, グラフィックスカードのディジタル出力を一旦取り込んで加工したのちに出力すること等が可能である.

DVI-D インタフェースで使用する LVDS インタフェースチップとしては TI 社の TFP601/TFP610 を各々2 セット搭載し, デュアルリンク構成時には入出力それぞれ最大 1GB/s の転送速度 (165MHz 動作時) を実現可能であり, この入出力チャネルを並列処理のためのネットワークとして使用することも可能である.[2),3)] 我々もこの入出力リンクを並列画像合成のための高速通信リンクとして使用する.

2.3 高性能大容量 FPGA

本ボードは, ザイリンクス社の VirtexII シリーズ FPGA である XC2V6000-5(600 万システムゲート) を標準搭載する.

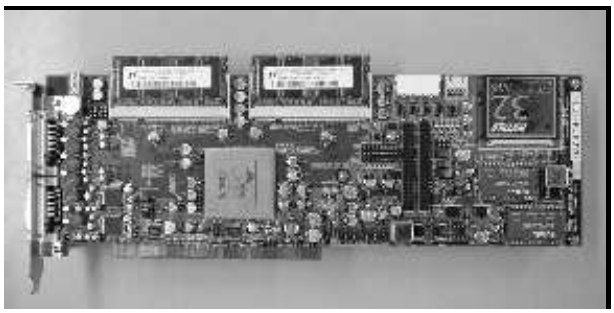

Fig. 2 VisA Pro カード (写真提供 東京エレクトロンデバイス (株))

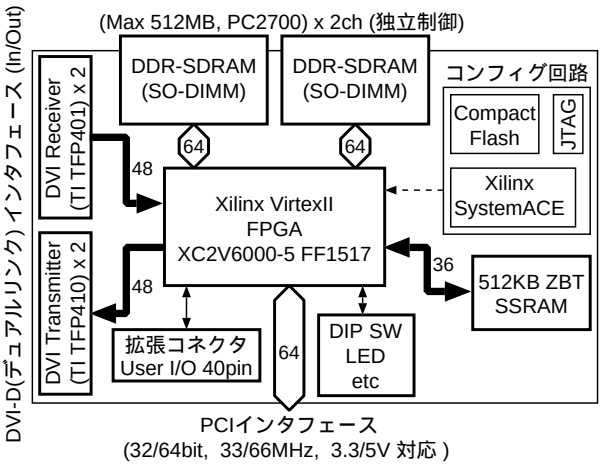

Fig. 3 VisA Pro カードブロック図

同 FPGA は, 内部に 18bit×18bit の高速乗算器 と 18Kbit のオンチップメモリブロックをそれぞれ 144 個内蔵し, 各々単体では 100MHz 以上で動作可能である. これにより画像処理で必要とされる高い整数演算性能とメモリバンド幅を確保することができる.

2.4 その他特徴

- ホスト PC との i/f として PCI64/66 ならびに PCI32/33 に対応.
- 166MHz 動作の 512KB(128K×36bit)SSRAM を搭載. SSRAM には Read/Write アクセス切り替え時の Idle サイクルが不要な ZBT(Zero Bus Turnaround) タイプを採用.
- Xilinx 社の System ACE を採用しており Compact-Flash あるいは JTAG から FPGA のコンフィグレーションが可能.
- FPGA からの信号線を合計 60 本汎用ピンヘッダに接続.

3. 大規模ボリュームデータの並列可視化への応用

3.1 ボリュームレンダリング処理の概要

ボリュームレンダリングでは , シミュレーション等により得られた 3 次元空間上の数値データを, 色 C と透明度 t に対応づけて可視化することで, 3 次元空間内部のデータの分布状況を可視化する. 具体的には, 視線上のボクセルの値を視点に近い順に vo,v1,v2,... とするとピクセル値は次の式 (畳み込み演算) で計算される .

$$C_k = \sum_{i=0}^{k}(1 - t(v_i)) \cdot c(v_i) \cdot \prod_{j=0}^{i-1} t(v_i) \qquad (1)$$

ここで $c(v_i), t(v_i)$ はそれぞれボクセル値 v_iを , 色 , 透明度に変換して値であることを示している . さらに , 式 (1) は以下のような漸化式で表わされる .

$$C_k = C_{k-1} + (1 - t(v_i)) \cdot c(v_k) \cdot T_{k-1} \qquad (2)$$

$$T_k = t(v_k) \cdot T_{k-1} \qquad (3)$$

この畳み込み演算は, 演算区間をいくつかの部分区間に分割し, それぞれの区間に対する計算結果に対して, 再度畳み込み演算を行うことが可能であるという性質がある. そこで, 1) 複数のノードに分散して割当てた部分 3 次元空間 (以下 サブボリュームと呼ぶ) に対して畳み込み演算を行い, 2) 各ノードで得られた画像と画素毎の透明度を, 視点からの距離の順番に従って順次パイプライン的に合成 (composition) する, という手法で並列処理が可能である.

以下では, ボリュームレンダリング専用のグラフィックスカードを用いた並列実装方式の概要について述べる.

3.2 ボリューム ・グラフィックス ・カードを用いた可視化システム

専用ハードウェアによる可視化システムは , 我々が既に開発した ReVolver/C40[8] で採用したアーキテクチャをベースにしたもので , N × N × L のサブボリューム単位で並列化し , Ray Casting アルゴリズムを用いて , 1 ピクセル分のピクセル値計算をサブボリューム単位でパイプライン処理することで目標とする描画速度を得る . N=4096 とした場合, 可視化システムの構成としては 128 ノード構成の PC クラスタに , ボリュームレンダリング向けアクセラレータ (VisA:Visualization Accelerator)[7] を装備し , VisA 間を双方向高速リンクで接続する . 計算結果は VisA 間リンクと同一規格のケーブルによりフレームバッファに送られ , ディスプレイへ表示される . 生成された 2 次元画像に対して , さらに後処理が必要な場合は , ホスト PC に送り汎用のグラフィックスカードを用いて処理を行う .

従来の並列可視化システムではレンダリング処理の高速化に重点が置かれ, 合成処理がボトルネックになっているのに対して, 我々の提案手法は合成処理とそれに必要な高速通信機能をも可視化アクセラレータに統合することでボトルネックを解消し, 高いスケーラビリティを得ている点が特徴である.

ReVolver/C40 では , 視線生成 , ピクセル値計算 , シェーディングの 3 ステージをそれぞれ専用のハードウェアを開発し構成していたが , VisA ではピクセル値計算のみを重点的に専用ハードウェア化し , その他のステージで必要であった処理は各 PC の CPU や汎用グラフィックスカードを用いて実行する . 以下 , VisA の主要構成要素について説明する .

(1) ピクセル値計算パイプライン : 32 個のピクセル値計算ユニット (PCU) をパイプラインに接続して構成する . 表示に必要な RGB は 8bit であるが , 誤差伝播の影響を軽減するため 16bit 固定小数点として色と透明度の演算を行う . パイプライン周波数は画面サイズとフレームレートから 128MHz となる .

(2)Look Up Table (C& α LUT) : RGB 各 8bit の色情報と 8bit の透過率を保持する 256 エントリのルックアップテーブルである . 各ピクセル値計算ユニットが 1 ボクセルの演算を行う度に 1 回参照されるため , スループット的

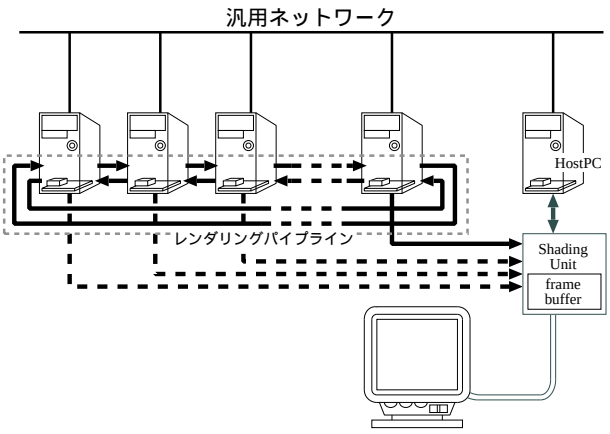

Fig. 4　実時間可視化システムの構成

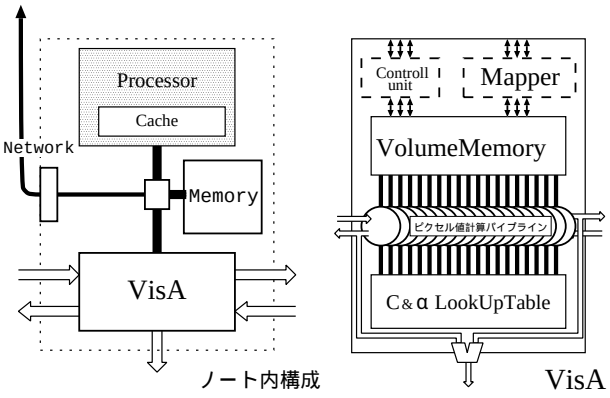

Fig. 5　内部構成

にはボリュームメモリの 4 倍の性能が要求されるが，小容量のメモリであるためマルチポート RAM を複数個用いて実装する．

(3) ボリュームメモリ：ボリュームデータを格納するための容量 2GB のメモリで，$4000^2 \times 32$ のサブボリュームを 4 セットまで格納可能とする．ノード内のピクセル値計算ユニットに対して 4GB/s のバンド幅を確保するため，4 バンク程度のメモリバンク構成とする．

(4) プリフェッチ機構：ボリュームメモリはパイプライン構成している全てのピクセル値計算ユニットから同時にアクセスされるため，所望のパイプライン周波数を実現するために，LUT とボリュームメモリの間にプリフェッチバッファを装備し，ボリュームメモリへのアクセス遅延に伴うパイプラインストールを最小化する．

(5)VisA 間リンク：このリンクは，レンダリングパイプラインにおいて計算途中の色情報，透明度情報，Z 値を送るためのリンクであり，約 1GB/s の転送速度が必要である．各ノードに隣接ノード間の双方向リンクと，フレームバッファへの出力ポートを設ける．これにより，ReVolver/C40 で対応が困難であった種々のレンダリングアルゴリズムに対応する[4)~7)]．具体的には，DVI 規格に準拠した LVDS インタフェースを用いてネットワークを構成する．

(6) 制御ユニットおよび **Mapper** 制御ユニットは視線情報を始めとする描画に関する情報を CPU から受け取り，VisA 全体の制御を行う．Mapper は CPU 側からボリュームデータを受け取り，ボリュームメモリに格納する．アクティブレンダリングを行う場合において，シミュレーション結果からボリュームデータへのマッピング処理が定型的かつ簡易なものであれば，CPU 側でのマッピング処理を省略し Mapper に直接マッピング処理を行わせることで高速化を図ることができる．この目的のために Mapper には FPGA 的な機能を持たせる．

3.3　VisA Pro カードへの実装

VisA は専用 ASIC で作ることを前提としたアーキテクチャであるが，そのプロトタイプ実装として VisA Pro の製作を行っている．VisA Pro は VisA の機能を約半分に縮小したもので，基本的な動作は VisA と同様である．図 6 に ReVolver/C40 と同じ並列レンダリング・アルゴリズムを採用する場合の VisA Pro の概略構成を示す．

3.3.1　概 略 構 成

一枚の VisA Pro カードには，ピクセル値計算パイプラインの 1 ステージを担当するピクセル値計算ユニット (PCU) を 16 段実装し，連続する 8 つの PCU がボリュームメモリ (VisA Pro カードでは 2 バンク構成) の 1 バンクを共有する．隣接する VisA Pro 間は DVI Dual Link ケーブルによりリング接続する．

3.3.2　ボリュームメモリインタフェースの実装

ボリュームメモリのバンド幅を有効活用するには，使用するメモリモジュールが対応可能なバースト長でのブロック転送を行なう必要がある．今回はバースト長を 4 として，32 バイト単位のブロック転送とした．この際，プリフェッチバッファに無駄なボリュームデータが格納されるのを極力避けるため，一回のバースト転送で，$4 \times 4 \times 2$ の領域に対応するデータが読み出されるような設定とした．このとき，一度のバースト転送で読みだされたデータは，隣接する 2 つの PCU のプリフェッチバッファ(PFB) に各々4×4 づつ格納することとする．

このように，ボリュームメモリは $4 \times 4 \times 2$ の 3 次元領域が連続アドレスとなるようなアドレス付けを行なう．そのためには，格納するボリュームデータのサイズに応じたアドレス変換が必要であり，ボリュームメモリインタフェース内でこの変換を行なう．

3.3.3　LUT の実装

LUT は，サンプリングポイントのボクセル値 (vox) に対応する R,G,B,α 値を，畳み込み演算回路に対して毎サイクル供給しなければならない．VisA Pro 実装では FPGA 内に分散配置されている高速 Block RAM を用いて実装する．LUT は一旦初期化を行なうとレンダリング処理中は Read Only となるため，比較的容易にマルチポート構成が実現可能である．しかしながら，FPGA 内の長距離配線リソースの消費を減らすため今回の実装ではシングルポート構成とし，各 PCU 毎に独立に LUT を設けた．これにより高速動作を保証する．初期化やテーブル変更時には，動作速度を下げ全 LUT を一斉更新する．

3.3.4　PFB の実装

PFB には，ボリュームメモリからのプリフェッチデータのブロック書込みと，LUT 側からの毎サイクル読み出しが必要なため，デュアルポート構成のバッファとする必要がある．ブロック書込み時には，4×4 の領域に対する 16 バイトのデータを，LUT 側の動作周波数の 2 倍の周波数で 64bit 単位で書き込む．現在の実装では，プリフェッチ効率が 100%の場合は，書込みの周期は 16 サイクルに一回である．これに対して，LUT 側は毎サイクル 8bit 単位の読み出しが連続し

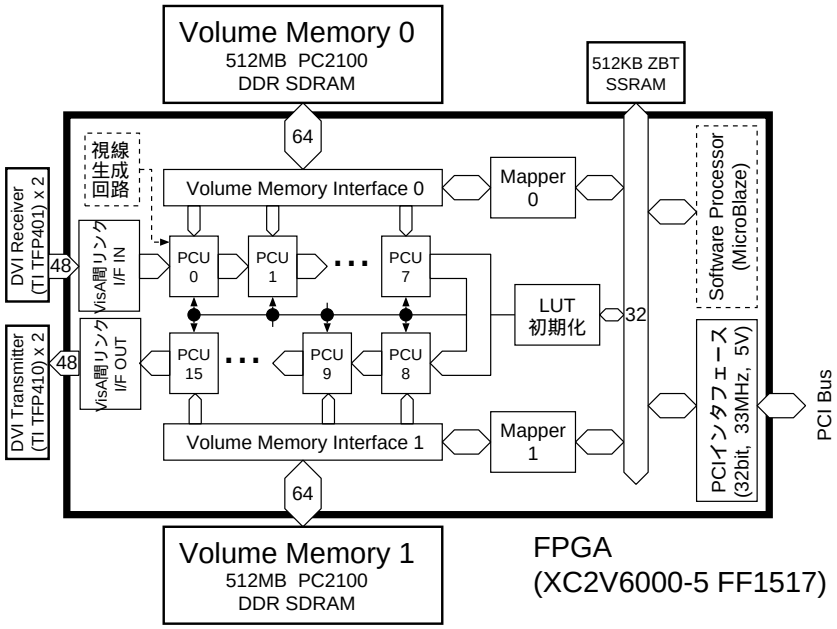

Fig. 6 VisA Pro の FPGA への実装

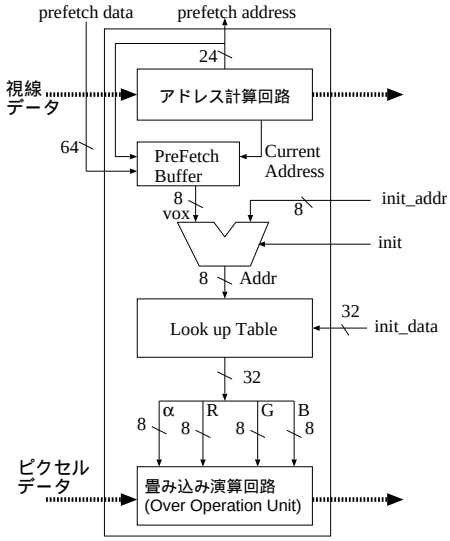

Fig. 7 ピクセル値計算ユニット (PCU) の構成

て行なわれる.

ボリュームメモリへのアクセスパターンは, わずかな空間局所性が存在するのみである. したがって, PFB は比較的小容量の連想メモリとして構成する. Read アクセス時に PFB 内に必要とするデータが存在しなかった場合, パイプラインをストールし, オンデマンドフェッチを行なう.

3.3.5 畳み込み演算回路

式 (2),(3) の畳み込み演算を行なう回路である. 実装には FPGA 内の高速組み込み乗算器を使用する. 使用可能な乗算器の数に制限があるため, 透明度 T の代りに不透明度α (=1-T) を用いて回路を構成することで必要な乗算器の数を減らしている. ピクセル値計算 1 ステージ分の演算レイテンシは 2 クロックであるが, 毎サイクル結果を出力可能である.

3.3.6 Mapper 回路

ここでは, 3.2節 (6) で述べた Mapper 機能の他に, PCI バス側からボリュームメモリ内のボリュームデータにボクセル座標 (X,Y,Z) でアクセスするためのアドレス変換機能も備える.

3.3.7 視線生成回路

各 VisA Pro カード内で, 独自に視線情報を生成する必要があるレンダリングモードの場合に, 視点位置, スクリーン位置, ピクセル座標から, 視線ベクトルを計算する回路である.

4. ま と め

本稿では, 現在我々が開発を行なっているボリューム ・グラフィックス ・カードを用いた並列ボリュームレンダリングシステムのプロトタイプ実装用に開発した PCI カードと, その実装の概要を紹介した.

謝 辞

VisA プロトタイプ基板の開発にあたって, ご協力頂いた東京エレクトロンデバイスの成田氏, 千野氏, 本田氏, 山田氏, 尾花氏に慎んで感謝いたします. なお , 本研究の一部は文部省科学研究費補助金 (基盤研究 (B)(2) 課題番号 13480083 ならびに 特定領域研究 (C)(2) 「情報学」課題番号 13224050) による .

参 考 文 献

1) Marcelo Magallon, et al., "Parallel Volume Rendering Using PC Graphics Hardware," *Proc. of Pacific Graphics*, 2001.
2) 小畑正貴, "PC クラスタシステムの構築 ・利用に関する研究", 並列 ・分散処理研究推進機構 (PDC) 平成 12 年度 成果報告書, pp.42–43, 2000.
3) 村木 茂 他, "VG クラスタ:スケーラブルビジュアルコンピューティングシステム", Vosual Computing グラフィクスと CAD 合同シンポジウム 2001, pp.85-90,2001.
4) 金 喜都 他, "ピクセル並列処理によるボリューム ・レンダリング向きの超高速専用計算機アーキテクチャ", 情報処理学会論文誌, 第 38 巻, 第 9 号, pp.1668-1680, 1997.
5) 藤原雅宏 他, "階層格子ボリュームデータの実時間可視化," 情処研報, 98-ARC-128, pp.7-12, 1998.
6) 山内, 他, "透視投影ボリュームレンダリングにおけるサンプリング方式の評価," 第 29 回 画像電子学会年次大会予稿集, pp.33-34, 2001 年 6 月.
7) 山内, 他, "アクティブボリュームレンダリングに基づくシミュレーションステアリング," 信学技報 CPSY2001-35, pp.1-8, 2001 年 8 月.
8) S. Mori, et. al, "ReVolver/C40 : A Scalable Parallel Computer for Volume Rendering – Design and Implementation –," IEICE Trans. on Inf. and Sys., Vol.E86-D, No.10, pp.2006–2015, 2003.
9) 生雲 公啓, "時変ボリュームデータの実時間可視化のための専用グラフィックスカード VisA の開発", 京都大学大学院情報学研究科 修士論文, 2003.