社団法人　電子情報通信学会
THE INSTITUTE OF ELECTRONICS,
INFORMATION AND COMMUNICATION ENGINEERS

信学技報
TECHNICAL REPORT OF IEICE.

大規模データの並列可視化を支援するFPGA搭載PCIカード

森　眞一郎† 　生雲　公啓†† 　高山　征大† 　丸山　悠樹† 　津邑　公暁†††
五島　正裕† 　中島　康彦††† 　富田　眞治†

† 京都大学大学院情報学研究科　〒606-8501 京都市左京区吉田本町
†† 京都大学大学院情報学研究科 (現在 オムロン (株))
††† 京都大学大学院経済学研究科　〒606-8501 京都市左京区吉田本町
E-mail: †{moris,ikumo,takayama,yu-ki,tsumura,goshima,nakashim,tomita}@lab3.kuis.kyoto-u.ac.jp

あらまし　本論文では, Dual Link のDVI-D 入出力インタフェースとDDR-SDRAM を2 系統搭載し, 高いメモリバンド幅を要求する並列画像処理向けに開発したFPGA 搭載PCI カードを紹介する. その具体的な応用として, 並列ボリュームレンダリング向けの専用アクセラレータの実装も紹介する.
キーワード　可視化, ボリュームレンダリング, 並列処理, FPGA, ハードウェアアクセラレータ

An FPGA-based PCIcard for Parallel Visualization of Large Data

Shin-ichiro MORI†, Masahiro IKUMO††, Motohiro TAKAYAMA†, Yuuki MARUYAMA†,
Tomoaki TSUMURA†††, Masahiro GOSHIMA†, Yasuhiko NAKASHIMA†††, and Shinji TOMITA†

† Graduate School of Informatics, Kyoto University,　Kyoto-shi, 606–8501, Japan.
†† Graduate School of Informatics, Kyoto University.　Currently he is with Omron Corp., Japan
††† Graduate School of Economics, Kyoto University,　Kyoto-shi, 606–8501, Japan.
E-mail: †{moris,ikumo,takayama,yu-ki,tsumura,goshima,nakashim,tomita}@lab3.kuis.kyoto-u.ac.jp

Abstract　This paper introduces an FPGA-based PCIcard for Parallel Visualization of Large Volume Data. In order to implement memory intensive image/vision processing applications, like parallel volume rendering, this card is configured with DVI-D Dual Link Input/Output interfaces and two independent channel of DDR-SDRAM. Our prototype implementation of Visualization Accelerator(VisA) using this card is also explained in this paper.
Key words　Visualization, Volume Rendering, Parallel Processing, FPGA, Hardware Accelerator

1. はじめに

近年の計算機性能の急速な向上に伴い, 大規模かつ高精度な数値シミュレーションへの期待が高まっている. 中でも実時間の数値シュミレーションの可視化技術は, 大規模な3 次元データを必要とする医療などの分野[1] において, 高度な技術が要求されている分野である. これまでも, PC クラスタ等の並列計算機環境を利用した, シュミレーションとその実時間可視化のためのシステムが開発されてきたが, 次世代のシミュレーション技術として, 従来の実験の代替手段となりうる「仮想実験型/仮想体験型のシミュレーション環境」の構築が望まれている. ここでは, オペレータによるシミュレーション対象へのインタラクティブな操作に対応して実時間でシミュレーションを行うとともに, 即刻その結果を可視化などの手段により提示することが求められている.

我々は, 実時間インタラクティブシミュレーション環境の実現にむけて, 個人あるいは小規模な組織単位で占有利用可能なPC クラスタを用いて, インタラクティブな数値シミュレーション及びその可視化(注1)を実時間処理する環境について研究を行っている.

我々は, 並列ボリュームレンダリング環境の実現方法として3 つの側面を考えている[14]. 処理対象に応じて処理内容を柔軟に変更でき, 処理の高機能化も容易であるソフトウェアによる実現. 比較的安価に手に入る汎用グラフィックカードによる実現, 及び超高速を目指した専用ハードウェアでの実現である.

以下, 本稿ではFPGA(Field Programmable Gate Array) を使った可視化専用ハードウェアについて述べる.

(注1):4096^3 の8bit ボリュームデータをSHD 規格相当のスクリーン(2048^2)に秒間30 枚のフレームレートで出力する可視化システムが当面の目標である.

2. 開発した FPGA 搭載 PCI カードの概要

本 PCI カードは, 東京エレクトロンデバイス (株) との共同企画で開発を行なったもので(注2), 高速大容量の DDR-SDRAM を 2 系統搭載し、高いメモリバンド幅を要求する並列画像処理向けの FPGA 搭載 PCI カードである. 我々は, この PCI カードを可視化のための専用アクセラレータのプロトタイプと位置づけており VisA Pro カードと読んでいる.

2.1 高速大容量メモリ

DDR-SDRAM SODIMM を 2 枚搭載し、別系統クロックにて最大 DDR333MHz(PC2700 規格) にて独立に動作可能である. 各メモリスロットには, ノート PC 用に市販されているメモリ容量 512MB までの DDR SO-DIMM モジュールを搭載可能である. 従って, 128bit 幅の 1GB メモリ, あるいは, 64bit 幅の 512MB メモリ 2 チャンネル等のメモリ構成が実現可能である. 最大メモリバンド幅は 2ch 合計で 5.2GB/s に達する.

2.2 DVI-D デュアルリンクの入出力チャネル

高解像度液晶ディスプレイに対応した DVI-D デュアルリンクの入出力チャネルをもつ. これにより, 本カードで生成した画像データを直接ディスプレイに出力することや, グラフィックスカードのディジタル出力を一旦取り込んで加工したのちに出力すること等が可能である.

DVI-D インタフェースで使用する LVDS インタフェースチップとしては TI 社の TFP601/TFP610 を各々2 セット搭載し, デュアルリンク構成時には入出力それぞれ最大 1GB/s の転送速度 (165MHz 動作時) を実現可能であり, この入出力チャネルを並列処理のためのネットワークとして使用することも可能である. [4], [5]

2.3 高性能大容量 FPGA

本ボードは, ザイリンクス社の VirtexII シリーズ FPGA である XC2V6000-5(600 万システムゲート) を標準搭載する. 同 FPGA は, 内部に 18bit×18bit の高速乗算器 と 18Kbit のオンチップメモリブロックをそれぞれ 144 個内蔵し, 各々単体では 100MHz 以上で動作可能である. これにより画像処理で必要とされる高い整数演算性能とメモリバンド幅を確保することができる.

2.4 CompactFlash メモリからの高速 FPGA コンフィグレーション

Xilinx 社の System ACE を採用しており CompactFlash あるいは JTAG から FPGA のコンフィグレーションが可能である. 本ボードではサポートしていないが, System ACE 自体は CompactFlash 内に予め複数のコンフィグレーションデータを用意しておき, その中から選択的に FPGA をコンフィグレーションする機能を持っており, これを活用すれば条件付きではあるが実行時の動的再構成が可能である.

2.5 その他特徴

- ホスト PC との i/f として PCI64/66 ならびに PCI32/33 に対応.

(注2) :汎用評価ボード (TD-BD-PCI2DVI) として同社より販売している.

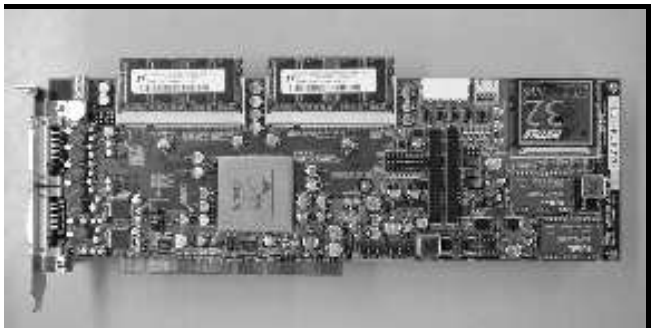

図1 VisA Pro カード (写真提供 東京エレクトロンデバイス (株))

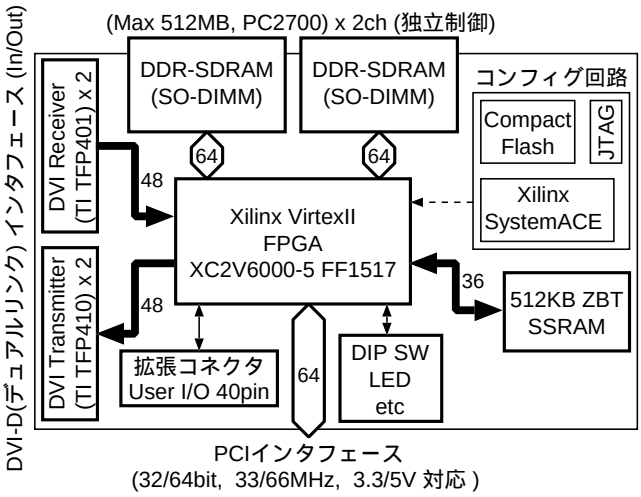

図2 VisA Pro カードブロック図

図3 胸部 MRI データのボリュームレンダリング
(データ提供 :(株)KGT)

- 166MHz 動作の 512KB(128K×36bit)SSRAM を搭載. SSRAM には Read/Write アクセス切り替え時の Idle サイクルが不要な ZBT(Zero Bus Turnaround) タイプを採用.
- FPGA からの信号線を合計 60 本汎用ピンヘッダに接続.

3. 大規模ボリュームデータの並列可視化への応用

3.1 ボリュームレンダリング処理の概要

ボリュームレンダリングでは，シミュレーション等により得られた 3 次元空間上の数値データを, 色 C と透明度 t に対応づけて可視化することで, 3 次元空間内部のデータの分布状況を可視化する. 具体的には, 視線上のボクセルの値を視点に近い順に vo,v1,v2,... とするとピクセル値は次の式 (畳み込み演算) で計算される．

$$C_k = \sum_{i=0}^{k} (1 - t(v_i)) \cdot c(v_i) \cdot \prod_{j=0}^{i-1} t(v_i) \qquad (1)$$

ここで $c(v_i), t(v_i)$ はそれぞれボクセル値 v_i を，色，透明度に変換して値であることを示している．さらに，式 (1) は以下のような漸化式で表わされる．

$$C_k = C_{k-1} + (1 - t(v_i)) \cdot c(v_k) \cdot T_{k-1} \qquad (2)$$

$$T_k = t(v_k) \cdot T_{k-1} \qquad (3)$$

この畳み込み演算は, 演算区間をいくつかの部分区間に分割し, それぞれの区間に対する計算結果に対して, 再度畳み込み演算を行うことが可能であるという性質がある. そこで, 1) 複数のノードに分散して割当てた部分 3 次元空間 (以下 サブボリュームと呼ぶ) に対して畳み込み演算を行い, 2) 各ノードで得られた画像と画素毎の透明度を, 視点からの距離の順番に従って順次パイプライン的に合成 (composition) する, という手法で並列処理が可能である.

このようなボリュームレンダリング処理の実装に際しては, 可視化用のハードウェア ・アクセラレータを用いるか否か, また, ハードウェア支援を行う場合に, テクスチャベースの汎用グラフィックスカードを用いるか [2], [3], あるいは, ボリュームレンダリング専用のハードウェアで実装するかの選択が可能である. 現在我々は, これら 3 つのケースに関して各々並列可視化環境の構築を行なっている [12], [14].

本稿では, その中でもボリュームレンダリング専用のグラフィックスカードを用いた実装の概要について述べる.

3.2 ボリューム ・グラフィックス ・カードを用いた可視化システム

専用ハードウェアによる可視化システムは，我々が既に開発した ReVolver/C40 [13] で採用したアーキテクチャをベースにしたもので，N × N × L のサブボリューム単位で並列化し，Ray Casting アルゴリズムを用いて，1 ピクセル分のピクセル値計算をサブボリューム単位でパイプライン処理することで目標とする描画速度を得る．N=4096 とした場合, 可視化システムの構成としては 128 ノード構成の PC クラスタに，ボリュームレンダリング向けアクセラレータ (VisA:Visualization Accelerator) [9] を装備し，VisA 間を双方向高速リンクで接続する．計算結果は VisA 間リンクと同一規格のケーブルによりフレームバッファに送られ，ディスプレイへ表示される．生成された 2 次元画像に対して，さらに後処理が必要な場合は，ホスト PC に送り汎用のグラフィックスカードを用いて処理を行う．

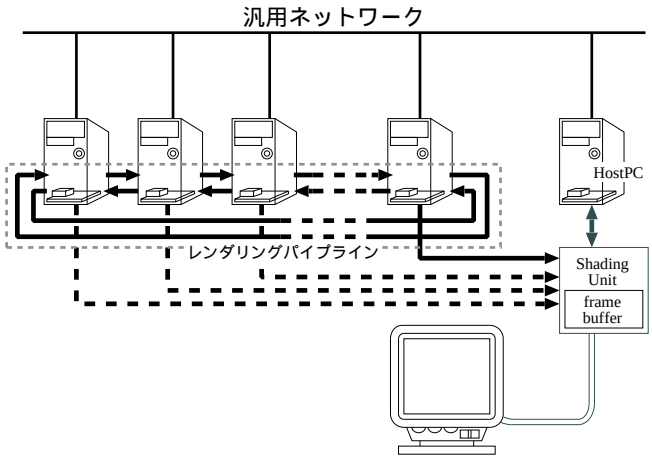

図 4　実時間可視化システムの構成

ReVolver/C40 では，視線生成，ピクセル値計算，シェーディングの 3 ステージをそれぞれ専用のハードウェアを開発し構成していたが，VisA ではピクセル値計算のみを重点的に専用ハードウェア化し，その他のステージで必要であった処理は各 PC の CPU や汎用グラフィックスカードを用いて実行する．以下，VisA の主要構成要素について簡単に説明を行う．

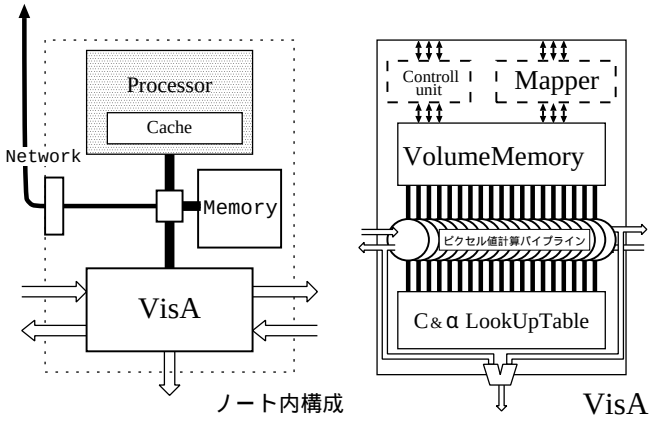

図 5　内 部 構 成

(1) ピクセル値計算パイプライン : 32 個のピクセル値計算ユニット (PCU) をパイプラインに接続して構成する．表示に必要な RGB は 8bit であるが，誤差伝播の影響を軽減するため 16bit 固定小数点として色と透明度の演算を行う．パイプライン周波数は画面サイズとフレームレートから 128MHz となる．

(2)Look Up Table (C& α LUT) : RGB 各 8bit の色情報と 8bit の透過率を保持する 256 エントリのルックアップテーブルである．各ピクセル値計算ユニットが 1 ボクセルの演算を行う度に 1 回参照されるため，スループット的にはボリュームメモリの 4 倍の性能が要求されるが，小容量のメモリであるためマルチポート RAM を複数個用いて実装する．

(3) ボリュームメモリ : ボリュームデータを格納するための容量 2GB のメモリで，$4000^2 \times 32$ のサブボリュームを 4 セットまで格納可能とする．ノード内のピクセル値計算ユニットに対

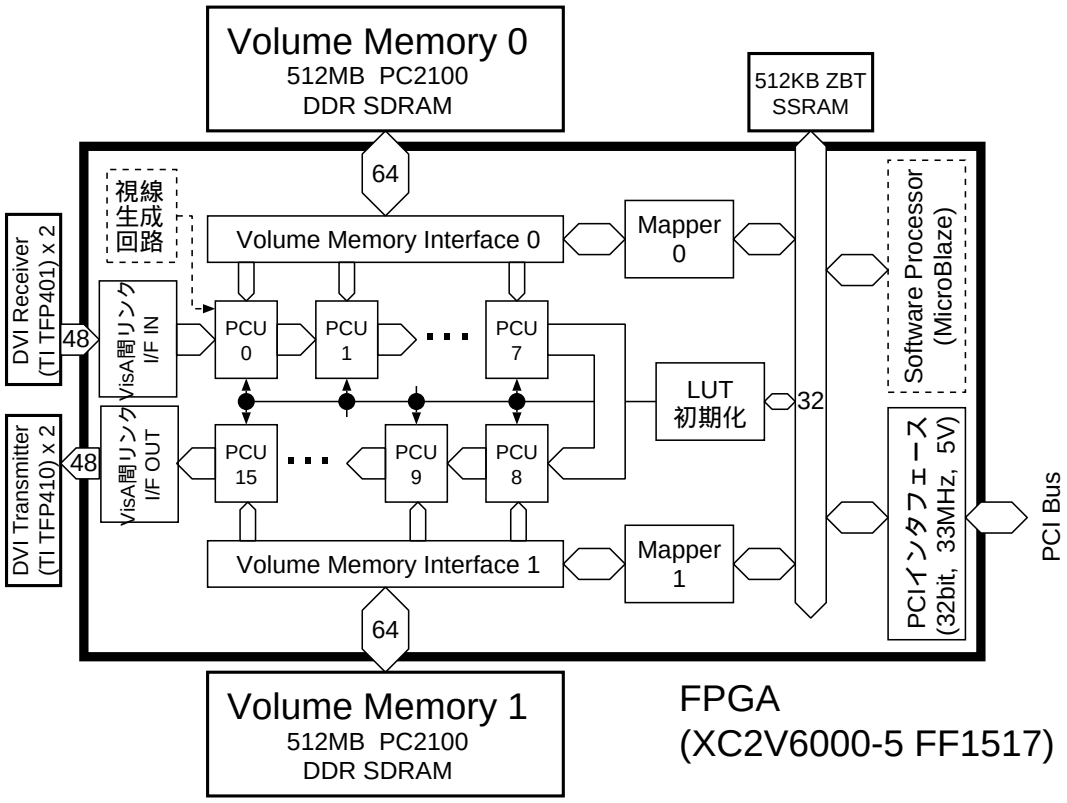

図 6　VisA Pro の FPGA への実装

して 4GB/s のバンド幅を確保するため，4 バンク程度のメモリバンク構成とする．

(4) プリフェッチ機構：ボリュームメモリはパイプライン構成している全てのピクセル値計算ユニットから同時にアクセスされるため，所望のパイプライン周波数を実現するために，LUT とボリュームメモリの間にプリフェッチバッファを装備し，ボリュームメモリへのアクセス遅延に伴うパイプラインストールを最小化する．

(5)VisA 間リンク：このリンクは，レンダリングパイプラインにおいて計算途中の色情報，透明度情報，Z 値を送るためのリンクであり，約 1GB/s の転送速度が必要である．各ノードに隣接ノード間の双方向リンクと，フレームバッファへの出力ポートを設ける．これにより，ReVolver/C40 で対応が困難であった種々のレンダリングアルゴリズムに対応する [6] ~ [11]．具体的には，DVI 規格に準拠した LVDS インタフェースを用いてネットワークを構成する．

(6) 制御ユニットおよび **Mapper** 制御ユニットは視線情報を始めとする描画に関する情報を CPU から受け取り，VisA 全体の制御を行う．Mapper は CPU 側からボリュームデータを受け取り，ボリュームメモリに格納する．アクティブレンダリングを行う場合において，シミュレーション結果からボリュームデータへのマッピング処理が定型的かつ簡易なものであれば，CPU 側でのマッピング処理を省略し Mapper に直接マッピング処理を行わせることで高速化を図ることができる．この目的のために Mapper には FPGA 的な機能を持たせる．

3.3　VisA Pro カードへの実装

VisA は専用 ASIC で作ることを前提としたアーキテクチャであるが，そのプロトタイプ実装として VisA Pro の製作を行っている．VisA Pro は VisA の機能を約半分に縮小したもので，基本的な動作は VisA と同様である．図 6に ReVolver/C40 と同じ並列レンダリング・アルゴリズムを採用する場合の VisA Pro の概略構成を示す．

3.3.1　概略構成

一枚の VisA Pro カードには，ピクセル値計算パイプラインの 1 ステージを担当するピクセル値計算ユニット (PCU) を 16 段実装し，連続する 8 つの PCU がボリュームメモリ (VisA Pro カードでは 2 バンク構成) の 1 バンクを共有する．隣接する VisA Pro 間は DVI Dual Link ケーブルによりリング接続する．

3.3.2　ボリュームメモリインタフェースの実装

ボリュームメモリのバンド幅を有効活用するには，使用するメモリモジュールが対応可能なバースト長でのブロック転送を行なう必要がある．今回はバースト長を 4 として，32 バイト単位のブロック転送とした．この際，プリフェッチバッファに無駄なボリュームデータが格納されるのを極力避けるため，一回のバースト転送で，$4 \times 4 \times 2$ の領域に対応するデータが読み出されるような設定とした．このとき，一度のバースト転送で読みだされたデータは，隣接する 2 つの PCU のプリフェッチバッファ (PFB) に各々4×4 づつ格納することとする．

このように，ボリュームメモリは $4 \times 4 \times 2$ の 3 次元領域が連続アドレスとなるようなアドレス付けを行なう．そのためには，格納するボリュームデータのサイズに応じたアドレス変換

が必要であり, ボリュームメモリインタフェース内でこの変換を行なう.

3.3.3 LUT の実装

LUT は, サンプリングポイントのボクセル値 (vox) に対応する R,G,B,α値を, 畳み込み演算回路に対して毎サイクル供給しなければならない. VisA Pro 実装では FPGA 内に分散配置されている高速 Block RAM を用いて実装する. LUT は一旦初期化を行なうとレンダリング処理中は Read Only となるため, 比較的容易にマルチポート構成が実現可能である. しかしながら, FPGA 内の長距離配線リソースの消費を減らすため今回の実装ではシングルポート構成とし, 各 PCU 毎に独立に LUT を設けた. これにより高速動作を保証する. 初期化やテーブル変更時には, 動作速度を下げ全 LUT を一斉更新する.

3.3.4 PFB の実装

PFB には, ボリュームメモリからのプリフェッチデータのブロック書込みと, LUT 側からの毎サイクル読み出しが必要なため, デュアルポート構成のバッファとする必要がある. ブロック書込み時には, 4×4 の領域に対する 16 バイトのデータを, LUT 側の動作周波数の 2 倍の周波数で 64bit 単位で書き込む. 現在の実装では, プリフェッチ効率が 100%の場合は, 書込みの周期は 16 サイクルに一回である. これに対して, LUT 側は毎サイクル 8bit 単位の読み出しが連続して行なわれる.

ボリュームメモリへのアクセスパターンは, わずかな空間局所性が存在するのみである. したがって, PFB は比較的小容量の連想メモリとして構成する. Read アクセス時に PFB 内に必要とするデータが存在しなかった場合, パイプラインをストールし, オンデマンドフェッチを行なう.

3.3.5 畳み込み演算回路

式 (2),(3) の畳み込み演算を行なう回路である. ただし本実装では, 演算に必要な乗算器の数を減らすため, 透明度 T の変りに不透明度α (=1-T) を用いて回路を構成している (図 8参照). ピクセル値計算 1 ステージ分の演算レイテンシは 2 クロックであるが, 毎サイクル結果を出力可能である. $S_(k-1)$ や $C_(k-1)$ の入力段には理論上は省略可能なレジスタが 1 段入っているのは, これはパイプラインステージ数を合わせるだけでなく, FPGA 内の配線遅延を軽減するという目的のためである. なお, 図中の $c(v_i), S_{k-2}, S_{k-1}, C_{k-2}, C_{k-1}$に対応する回路は実際には R, G, B に対応して 3 セット必要である.

3.3.6 Mapper 回路

ここでは, 3.2節 (6) で述べた Mapper 機能の他に, PCI バス側からボリュームメモリ内のボリュームデータにボクセル座標 (X,Y,Z) でアクセスするためのアドレス変換機能も備える.

3.3.7 視線生成回路

各 VisA Pro カード内で, 独自に視線情報を生成する必要があるレンダリングモードの場合に, 視点位置, スクリーン位置, ピクセル座標から, 視線ベクトルを計算する回路である.

3.4 回路の動的再構成に関する考察

今回開発した PCI カードでは動的再構成の機能は含まれていないが, 以下では並列ボリュームレンダリング処理に置ける動的再構成の応用の可能性について検討してみる.

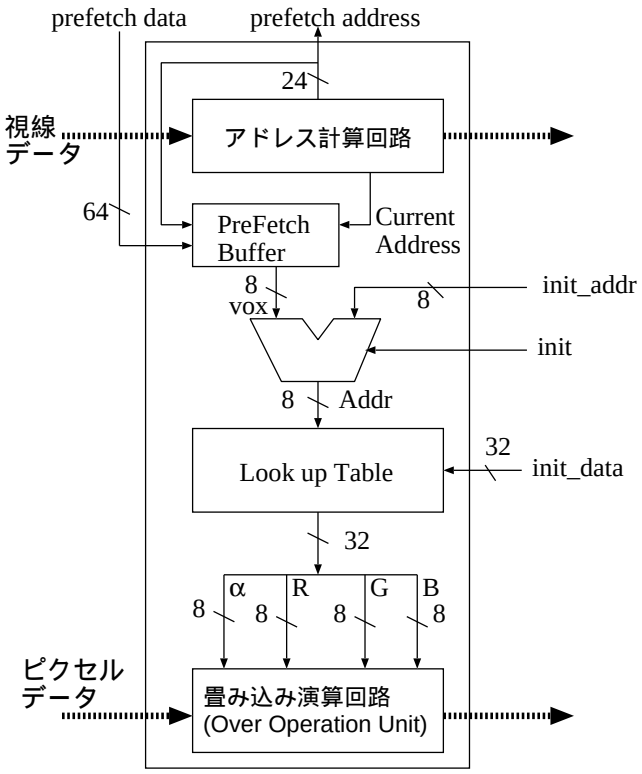

図 7 ピクセル値計算ユニットの構成

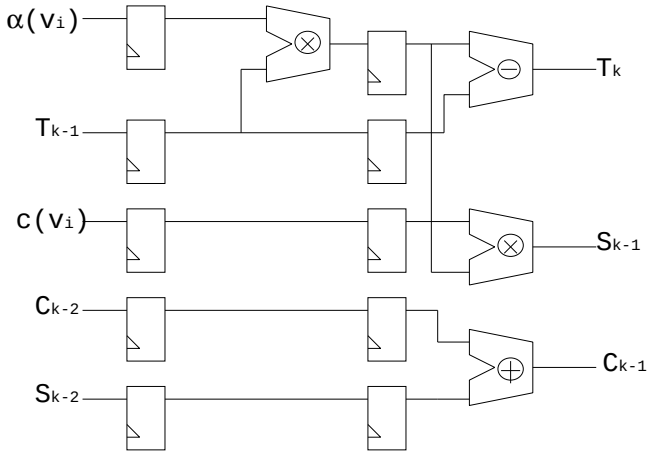

図 8 ピクセル値計算パイプライン 1 段分の畳み込み演算回路 (透明度と 1 色分)

3.4.1 全体再構成

現在 VisA Pro カードで実装中のボリュームレンダリングアルゴリズムとしては, 3 次元データの可視化でもっとも良く使われるレイキャスティングアルゴリズムを採用しているが, 可視化対象によっては別のレンダリングアルゴリズム (例えば, 医療画像における Maximum Intensity Projection) を用いて可視化することも行なわれる. 従って, レンダリングアルゴリズム毎の FPGA 再構成データを予め用意しておき, ユーザがアルゴリズムを変更した場合に, FPGA 全体の再構成を行なうことで, 各々のレンダリングアルゴリズムに最適な回路構成をとることが考えられる. ただし, 同じボリュームデータに対して頻繁にレンダリングアルゴリズムを変えて可視化するような状況

では, 全体再構成中の DRAM 内のデータ保持等につて十分な検討が必要である.

3.4.2 部分再構成

シミュレーション結果の実時間可視化においては, シミュレーション側で生成されるデータ (例えば, 多次元の実数値データ) をボクセル値 (例えば, 1 次元の整数値) に変換する処理が必要であるが, この変換処理には普遍性がなくケースバイケースで対応する必要がある. 従来, このような変換処理はシミュレーション側の仕事として行なわれていたが, 必要に応じて FPGA の部分再構成が可能になれば, VisA 内の Mapper 回路でこの処理を行ないCPU の負荷と無駄なメモリトラフィックを軽減することが可能である.

4. その他の応用例

4.1 分散共有メモリカード

本ボードで使用してる DVI インタフェース回路は, 前述のとおり入出力チャネル各々最大で 10Gbps の転送速度を実現可能である. 通信プロトコル自体は, FPGA 上に任意のプロトコルを実装することが可能であるため, 大容量 DRAM と組合わせた分散共有メモリシステムの構築への応用も可能である.

4.2 実験ベースの可視化支援

流体解析等の現場では, 今でも多くの物理的な実験ベースの可視化が行なわれており, 超高速カメラで撮影した画像を用いた可視化が行なわれている. ここでは, カメラから送られてくる数百 ~ 数千枚のディジタル画像をコマ落ちすることなく高速に取り込むことが求められる. このような高速カメラの規格としてカメラリンク規格があるが, コネクタ形状の変換とカメラ制御用の信号供給機能を拡張カードにより実現することで, VisA Pro カードをカメラリンク規格の超高速画像取り込みに応用することも可能である.

5. ま と め

本稿では, 現在我々が開発を行なっているボリューム ・グラフィックス ・カードを用いた並列ボリュームレンダリングシステムのプロトタイプ実装用に開発した PCI カードと, その実装の概要を紹介した. 今後は各部の詳細設計を進めるとともに, ボリュームデータの 3 重化が不要な並列アルゴリズム [14] に対応したプリフェチ機構の検討を行なう予定である.

謝 辞

VisA プロトタイプ基板の開発にあたって, ご協力頂いた東京エレクトロンデバイスの成田氏, 千野氏, 本田氏, 山田氏, 尾花氏, 小田島氏に慎んで感謝いたします. なお , 本研究の一部は文部省科学研究費補助金 (基盤研究 (B)(2) 課題番号 13480083 ならびに 特定領域研究 (C)(2) 「情報学」課題番号 13224050) による .

文 献

[1] 山本恭弘 他, “有限要素法を用いた心臓大動脈の触診シュミレーション”, 日本バーチャルリアリティ学会第 6 回大会論文集, 2001.

[2] Marcelo Magallon, et al., “Parallel Volume Rendering Using PC Graphics Hardware,” *Proc. of Pacific Graphics*, 2001.

[3] 丸山悠樹, 他, “汎用グラフィックスハードウェアを用いた並列ボリュームレンダリングの実装, ” 情処研報, 2003-ARC-154, pp.61–66, 2003.

[4] 小畑正貴, “PC クラスタシステムの構築 ・利用に関する研究”, 並列 ・分散処理研究推進機構 (PDC) 平成 12 年度 成果報告書, pp.42–43, 2000.

[5] 村木 茂 他, “VG クラスタ:スケーラブルビジュアルコンピューティングシステム”, Vosual Computing グラフィクスと CAD 合同シンポジウム 2001 予稿集, pp.85-90,2001.

[6] 金 喜都 他, “ピクセル並列処理によるボリューム ・レンダリング向きの超高速専用計算機アーキテクチャ”, 情報処理学会論文誌, 第 38 巻, 第 9 号, pp.1668-1680, 1997.

[7] 藤原雅宏 他, “階層格子ボリュームデータの実時間可視化,” 情処研報, 98-ARC-128, pp.7-12, 1998.

[8] 山内, 他, “透視投影ボリュームレンダリングにおけるサンプリング方式の評価,” 第 29 回 画像電子学会年次大会予稿集, pp.33-34, 2001 年 6 月.

[9] 山内, 他, “アクティブボリュームレンダリングに基づくシミュレーションステアリング,” 信学技報 CPSY2001-35, pp.1-8, 2001 年 8 月.

[10] 原瀬, 他, “ReVolver/C40 を用いた時系列ボリュームデータの実時間可視化,” 情処研報 2002-ARC-142, pp.7-12, 2002.

[11] Kevin Kreeger, et. al, “Adaptive Perspective Ray Casting,” Proc. of 1998 Symp. on Volume Visualization, pp.55–62, Oct. 1998.

[12] 生雲 公啓 他, “実時間インタラクティブシミュレーションのための並列ボリュームレンダリング環境”, 情報処理学会関西支部 支部大会 講演論文集 pp.121-124,2002.

[13] 對馬 他, “ボリューム ・レンダリング専用並列計算機 ReVolver のアーキテクチャ”, 情報処理学会論文誌, 第 36 巻, 第 7 号, pp.1709-1718, 1995.

[14] 生雲 公啓, “時変ボリュームデータの実時間可視化のための専用グラフィックスカード VisA の開発”, 京都大学大学院情報学研究科 修士論文, 2003.