勉強会資料
プロセッサ アーキテクチャ

宋 栩華

1996 年 4 月 24 日

1 プロセッサの高速化手法

プロセッサの高速化には以下のようなレベルが考えられる.

1. ハードウェア技術上の改善

   ハードウエア技術上の改善としては,

   - 論理素子のスイッチング時間やメモリ素子のアクセス時間の短縮
   - 配線遅延時間の短縮

   などがあり, マシンサイクルを短くでき, 実質的に高速化を達成できる.

2. 論理方式上の改善

   論理方式上の改善は, いかにして命令パイプラインの乱れを最小限にし、かつ命令レベルでの並列性を出すか, にかかっている.

   * パイプライン処理方式
   パイプライン処理方式とは,1 命令の実行過程をパイプラインという複数ステージに分け, ステージごとに独立実行できるハードウエアを装備し, これらの複数ステージを並列に稼働かせるオーバラップ命令実行方式である.

3. 機械命令セットの改善

   a. **CISC** 対 **RISC** のトレードオフ論争
   アーキテクチャ設計時には, その時点でのハードウエアとソフトウエア技術を的確に分析し, 設計目的に応じたハードウエアとソフトウエアの機能分担を図る必要がある. コンピュータアーキテクチャの変遷において, 特に, 第 4 世代から第 5 世代のコンピュータのアーキテクチャ設計ではこのハードウエア / ソフトウエア・トレードオフに関して激烈な論争が交わされている.

- **CISC(Complex Instruction Set Computer)**
  複雑な可変長で機械命令セットコンピュータである. プログラミング言語の処理機能をできるだけハードウエアで実現しようとするトレードオフを採る。” コンピュータアーキテクチャの保守派” といえる.

- **RISC(Reduced Instruction Set Computer)**
  単純機能命令セットコンピュータである. CISC とは逆に, プログラミング言語の処理機能をできるだけソフトウエアで実現しようとするトレードオフを採る. “コンピュータアーキテクチャにおける革新派” といえる.

b. **RISC アーキテクチャ**

革新的アーキテクチャである. ハードウエアで分担する機能を最小限にとどめ, ソフトウエアコンパイラの分担する機能を大幅に増大させたトレードオフを特徴としている. ソフトウエアとハードウエアのインタフェースはマシン命令セットアーキテクチャであり, 特に VLSI を指向したコンピュータで採用されることが多い.

c. **CISC アーキテクチャ**

メインプレームコンピュータのような汎用コンピュータや汎用マイクロプロセッサで採用されることの多い保守的アーキテクチャである. マシン命令セットアーキテクチャを劇的に変更することを避け, ソフトウエアコンパイラに言語処理の主要部分を任せるトレードオフを採る. 即存のコンピュータとの互換性 (既存のソフトウエアを変更する必要がなく新しい機種に移行できること) や移植性を重視するトレードオフである.

2 プロセッサ技術の動向

- スーパスカラー時代
  Pentium, T9000, PowerPC 601, PA-RISC 7100 に関して, これらの共通点として最も重要なものは, いずれもスーパスカラーであることである. Alfha や SuperSPARC も含めて, 最近の商用高速プロセッサは完全にスーパスカラの時代になったと言えよう.

  * スーパスカラー方式
  どのような命令の組み合わせでも演算装置が空いておれば, 複数個の命令を同時に発行できる. 基本概念は複数演算ユニット方式と同様, 複数の処理ユニットを同時に動作させるようとするものである. スーパスカラ方式では, 同時に複数の命令をフェッチし, 制御ハードウエアが, それらの命令を並列動作可能な整数演算ユニット, 浮動小数点演算ユニット、ロード / ストアユニットに割り当て並

列実行する. これにより, 1 インストラクションの実行に要する平均サイクル数 CPI(Cycle Per Instruction) は 1 より小さくなる.

- マルチプロセッサ対応機能
  Pentium と Power PC には, ライトバック方式のオンチップ・コヒーレント・キャッシュが搭載去れている. 従来多かった外部からの無効化が可能なライトスルーのオンチップ・キャッシュに比べて, さらにマルチプロセッサ対応機能を充実させる方向にあることが窺える.

- 高速 **CISC** 出現した
  もう一つ重要な動向は, RISC 全盛の中で Pentium と T9000 の二つの高速 CISC が出現したことである. これらのパイプライン制御はいずれもかなり複雑なものであるが, デバイス技術の進歩により RISC に匹敵するマシンサイクルが実現されている. これらの CISC 勢の強みは従来機とのバイナリ互換性にあり, スーパスカラー化等で同様に複雑化している RISC 勢に対する巻き返しが注目される.

次は Pentium について説明する.

3 Pentium

Pentium は Intel 社が発表した x86 系の最新鋭 32 ビット・プロセッサである. 最近の高性能 RISC プロセッサ, たとえば DEC Alpha や MIPS R4400 とは異なり, Pentium は従来の i386 / 486 とバイナリ互換の CISC である. 即ち, 命令は可変長で多種のアドレシング・モードを持ち, かなり複雑な演算処理を伴う 130 種以上の整数系命令と 70 種以上の浮動小数点系命令をサポートしている.

3.1 Pentium での機能拡張や改良

- スーパスカラー
- 動的分岐予測
- パイプライン化された FPU
- オンチップ・キャッシュの命令 / データ分離
- マルチプロセッサ対応のオンチップ・データ・キャッシュ
- パイプライン化された 64 ビット・データ・バス

以下これらを中心に, Pentium のアーキテクチャとハードウエア構成について概説する.

3.2 スーパスカラー・アーキテクチャ

Pentium は整数系が 5 ステージ, 浮動小数点系が 8 ステージのパイプラインを持っている. 整数系のパイプラインは, 一定の条件したで 2 命令を同時発行するスーパスカラー・アーキテクチャを採用している. また浮動小数点系 (FPU) は i486 とは異なりパイプライン化されている.

3.2.1 整数系パイプライン

Pentium には u-pipe と v-pipe の二つの整数系パイプラインがある. u-pipe はすべての命令を実行することができるが, v-pipe は u-pipe を流れる命令を並行実行可能な「単純な」命令のみを実行できる. 各整数系パイプラインは, 以下の 5 ステージからなる.

- **PF(Prefetch)** ステージにはオンチップ命令キャッシュのライン・サイズ (32B) と同じ幅のプリフェッチ・バッファが二つあり, 順次実行用と分岐用の二つの用途を交替しがら命令のプリフェッチを行う.
- **D1(Decode-1)** ステージは連続した 2 命令を並行してデコードし, 同時発行の可否を「ペアリング・ルール」に基づいて判定する.
- **D2(Decode-2)** ステージはレジスタ読出しとメモリ・オペランドのアドレス計算を行なう. 即ち, 最近の RISC プロセッサの多くがアドレス計算を実行ステージで行なうのとは異なり, 実行ステージの前にアドレス計算が行なわれる.
- **EX(Execute)** ステージは, ALU 演算とデータ・キャッシュ・アクセスを行なう. 複雑な命令は EX に複数クロック滞在する.
  このほか, v-pipe での条件分岐以外の分岐命令について, 分岐予測 (taken/not taken, レジスタ間接の場合のアドレス) の正否が判定される.
- **WB(Write-Back)** ステージでは, レジスタ / 条件フラグの更新など, 命令実行完了のための処理が行なわれる. また, v-pipe の条件分岐に関する分岐予測の正否の判定も行なわれる.

3.2.2 命令のペアリング

整数系の二つのパイプラインである u-pipe と v-pipe には, 任意の連続する命令ペアを投入できるわけではない. まず, u-pipe にはコード上で先に出現する命令が投入され, v-pipe にはその後の命令が投入される. 次に, 二つの命令は以下に示すような「単純な」命令でなければならない.

(a) レジスタやメモリに対する転送命令 (reg←reg/mem/imm/, men←reg/imm)

(b) 実効アドレス計算 (reg←mem-addr)

(c) ALU 演算命令 (reg←reg ∘ reg/mem/imm, men←men ∘ mem/imm)

(d) スタックのプッシュとポップ

(e) 条件分岐とサブルーチン・コールを含むセグメント内分岐

(f) NOP

3.2.3 浮動小数点系パイプライン (FPU)

整数系とは基本的に独立に動作し, WAIT命令などによる演算例外同期を行なわない限り, out-of-orderの実行完了が許されている. 一方, FPUがパイプライン化されたことによるスループット向上とともに, 演算方式の改良によるレイテンシ短縮も行なわれている. FPUのパイプラインは8ステージからなるが, 前半の3ステージ (PF, D1, D2) は整数系と共有され, 機能は全く同じである. また続く2ステージ (EX, X1) も整数系と共有される (X1はせいすうけいではWB). EX以下のステージ機能は, 以下の通りである.

- **EX** ステージでは, メモリ・オペランドあるいは深さ8のレジスタ・スタックの読出を行なう. また, ストア系の命令では内部形式からメモリ形式への変換と, レジスタ・スタックへの書込が行なわれる.
- **X1** ステージでは, 加減算, 乗算, 比較演算についての演算処理の前半が行なわれる.
- **X2** ステージでは, 加減算, 乗算, 比較演算についての演算処理の後半が行なわれる.
- **WF** ステージでは, 演算結果の丸めとレジスタ・スタックへの書込が行なわれる.
- **ER** ステージでは, 演算例外の検出とステータス・ワードの更新が行なわれる.

3.3 オンチップ・キャッシュ

Pentium各々8KBの命令キャッシュとデータ・キャッシュを持ち, それぞれに専用のTLB (Translation Lookaside Buffer) を持っている. i486と比較すると, キャッシュ容量が2倍になったことと, 命令/データ・キャッシュを分離したことが大きな改良点である. また, データ・キャッシュの書込方式として, ライトスルーとライトバックの双方をサポートし, それに伴いコヒーレンス制御機能を強化したことも改良点として挙げられる.

3.3.1 命令キャッシュ

命令キャッシュは, 容量8KB, ライン・サイズ32B, 2ウエイ・セット・アソシアテイブ (LRU制御) の物理アドレス・キャッシュである. キャッシュ・タグは3ポート・アクセスが可能であり, 1ポートはスヌープ用, ほかの2ポートが命令フェッチ用である. 命令フェッチ用に2ポート設けられているのは, 連続したラインの後半と前半を同時にフェッチするためである.

3.3.2 データキャッシュ

データ・キャッシュは, 容量 8KB, ライン・サイズ 32B, 2 ウエイ・セット・アソシアティブ (LRU 制御) の物理アドレス・キャッシュである. キャッシュ・タグは 3 ポート・アクセスが可能であり, 1 ポートはスヌープ用, ほかの 2 ポートが u-pipe と v-pipe からのアクセスに用いられる. i486 がライトスルーであったのに対し, Pentium のデータ・キャッシュはライトスルーとライトバックの双方をサポートしている. またライトバックのサポートに伴い, MESI プロトコルと呼ぶ 4 状態のコヒーレンシ・プロトコルが新たに採用された.

- **M** = Exclusive & Dirty
- **E** = Exclusive & Clean
- **S** = Shared (& Clean)
- **I** = Invalid

但し, ライトスルが選択されたページでは, S と I だけが使われる.

3.4 マルチプロセッサ関連機能

Pentium はストロング・オーダリングを仮定しており, プロセッサ外部へのメモリ・アクセスは完全に逐次化される. 命令セット・アーキテクチャで定められるメモリ・アクセスの逐次化操作には 2 種ある. 一つはメモリ・アクセスだけではなく, 実行完了と次の命令フェッチも逐次化するもの. もう一つは, メモリの参照と更新をアトミックに行なう命令群である.

4 参考書

- 富田眞治 コンピューターアーキテクチャ 5-7 章,1994.
- 柴山 潔 コンピューターアーキテクチャの基礎
- 機械システム振興協会 並列アーキテクチャに関す技術開発動向調査研究報告書